

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-51485

(43)公開日 平成9年(1997)2月18日

(51)Int.Cl.⁸

H04N 5/335

識別記号

庁内整理番号

F I

H04N 5/335

技術表示箇所

Z

審査請求 未請求 請求項の数29 O L (全 44 頁)

(21)出願番号 特願平7-198338

(22)出願日 平成7年(1995)8月3日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 尾崎 俊文

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 田中 治彦

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 秋元 肇

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74)代理人 弁理士 小川 勝男

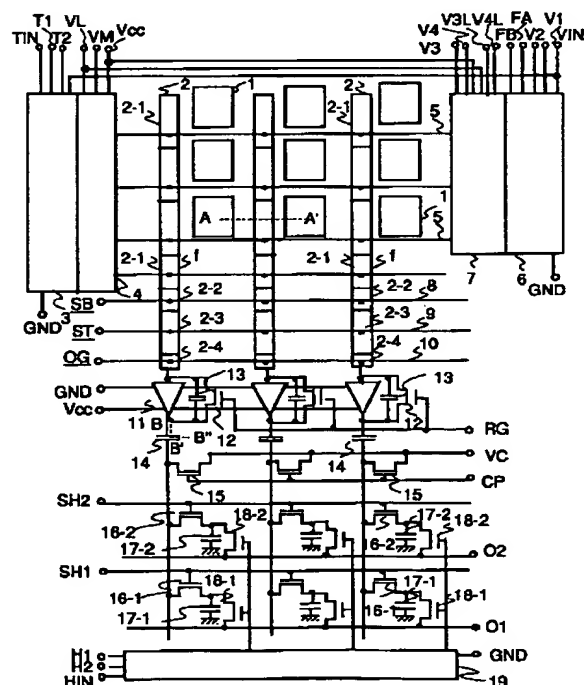
(54)【発明の名称】 固体撮像素子

(57)【要約】

【目的】 高速駆動、低消費電力化、高集積化と単一電源パルス駆動を可能とする駆動回路内蔵CCD型固体撮像素子を実現する。

【構成】 垂直電荷電荷転送をタイミング発生手段3と負値パルスを発生する駆動パルス発生手段4で行ない、垂直走査を行選択制御手段6と高電圧の転送パルスを選択行に印加する転送パルス発生手段7で行ない、各垂直転送手段2毎に設けた11から18よりなる増幅手段で電荷を増幅保持した後水平走査回路19で水平走査を行なう。また、垂直電荷転送手段2は2-2から2-4よりなる電荷転送制御部を有し、リセットスイッチ12からの不要電荷はきだしと増幅器11の帯域制限の両立を実現した。

図1



1

【特許請求の範囲】

【請求項1】同一半導体基板上に、2次元状に配置した光電変換素子と、該光電変換素子間に設けられた信号電荷を垂直方向に転送するための複数の電極を有する垂直電荷転送手段と、該垂直電荷転送手段の一水平の電極を結ぶ駆動パルス線に垂直電荷転送のための駆動パルスを順次供給する駆動手段と、該光電変換素子の信号電荷を光電変換素子の信号電荷を一水平行ずつ該垂直電荷転送手段に転送するための転送パルスを該光電変換素子の一水平行毎に設けられた転送パルス線に供給する行選択手段と、上記垂直電荷転送手段の出力端子毎に設けられた増幅器と該増幅器の入力端子に接続されたリセットスイッチとを有する増幅手段と、該増幅手段の出力を選択して出力する水平走査回路からなる水平走査手段とを備える事を特徴とする固体撮像素子。

【請求項2】同一半導体基板上に、2次元状に配置した光電変換素子と、該光電変換素子間に設けられた信号電荷を垂直方向に転送するための複数の電極を有する垂直電荷転送手段と、上記垂直電荷転送手段内に信号電荷を保持しつつ転送するための第1の電位井戸と上記垂直電荷転送手段内に流入するスミア電荷等の不要電荷を保持しつつ転送するための上記垂直電荷転送手段の複数の電極に渡る第2の電位井戸を同時に形成させる駆動手段と、該垂直電荷転送手段からの信号を水平方向に転送する水平走査手段と該光電変換素子の信号電荷を一水平行ずつ該垂直電荷転送手段に転送するための行選択手段とを備えた固体撮像素子において、上記水平走査手段が、上記垂直電荷転送手段の出力端子毎に設けられた増幅器と該増幅器の入力端子に接続された上記不要電荷のはきだし機能と信号のリセット機能を兼ねるリセットスイッチと該増幅器の出力を保持する出力保持容量を有する増幅手段と、該出力保持容量に保持された出力を選択して出力する水平走査回路とを備える事を特徴とする固体撮像素子。

【請求項3】上記垂直電荷手段が上記増幅器の入力端子に接続する上記第2の電位井戸内を分散して転送された不要電荷を一括して上記増幅器入力端子に転送する電荷転送制御部をそなえる事を特徴とする請求項2記載の固体撮像素子。

【請求項4】上記垂直電荷手段が上記増幅器の入力端子に接続するゲートと該ゲートに接続された信号電荷と不要電荷を時分割で一時蓄積する電荷蓄積ゲートと該蓄積ゲートと上記増幅器入力端子間に接続された出力ゲートからなる電荷転送制御部を備え、かつ、上記出力保持容量は増幅器入力端子リセット時の上記増幅器の第1出力を保持する第1出力保持容量と第1出力保持容量に保持された第1出力と増幅器入力端子への信号電荷入力時の上記増幅器の第2出力との差分値を保持する第2出力保持容量とからなり、上記水平走査回路は上記第2出力保持容量に保持された差分値を選択して出力するものである事

2

を特徴とする請求項2記載の固体撮像素子。

【請求項5】上記垂直電荷転送手段が上記増幅器入力端子に接続する出力ゲートを備える電荷制御部を有し、該出力ゲートの直前の上記垂直電荷転送手段の電極には低レベルが負値の駆動パルスが印加される事を特徴とする請求項1又2に記載の固体撮像素子。

【請求項6】上記電荷転送制御部の一水平の電極を結ぶ電荷転送制御駆動線に正の単一電源駆動信号と負電源とから負値の電圧を低レベルに持つ駆動パルスを発生する電荷転送制御部駆動パルス発生器を設けた事を特徴とする請求項3乃至5のいずれか一項に記載の固体撮像素子。

【請求項7】同一半導体基板上に、2次元状に配置した光電変換素子と、該光電変換素子間に設けられた信号電荷を垂直方向に転送するための複数の電極を有する垂直電荷転送手段と、該垂直電荷転送手段の一水平の電極を結ぶ駆動パルス線に垂直電荷転送のための駆動パルスを順次供給する駆動手段と、該垂直電荷転送手段からの信号を水平方向に転送する水平走査手段とを備えた固体撮像素子において、上記駆動手段は正の単一電源駆動信号を入力することにより上記駆動パルスのタイミング信号を発生するシフトレジスタを有するタイミング発生手段と、該タイミング信号と負電源から負値の電圧を低レベルに持つ駆動パルスを上記駆動パルス線に発生する駆動パルス発生手段とを備える事を特徴とする固体撮像素子。

【請求項8】同一半導体基板上に、2次元状に配置した光電変換素子と、該光電変換素子間に設けられた信号電荷を垂直方向に転送するための複数の電極を有する垂直電荷転送手段と、該光電変換素子の信号電荷を一水平行ずつ該垂直電荷転送手段に転送するための転送パルスを該光電変換素子の一水平行毎に設けられた転送パルス線に供給する行選択手段と、該垂直電荷転送手段からの信号を水平方向に転送する水平走査手段とを備えた固体撮像素子において、上記行選択手段は正の単一電源駆動信号を入力する事により選択行を特定するための制御信号を発生する行選択制御手段と、該制御信号に基づき転送パルス印加線に印加された該正の電源の電圧値より高い第2の電圧値を高レベルに持つ転送パルスを選択行の転送パルス線に出力する転送パルス発生手段とを有することを特徴とする固体撮像素子。

【請求項9】上記行選択手段が、正の単一電源駆動信号を昇圧して上記第2の電圧値を高レベルに持つ転送パルスを発生する上記転送パルス印加線に接続された転送パルス昇圧器を備える事を特徴とする請求項8記載の固体撮像素子。

【請求項10】上記転送パルス印加線が一水平走査期間に同時に選択された垂直方向に隣接する2行の転送パルス線に異なる時刻に転送パルスを出力するための2本の転送パルス印加線からなり、かつ、上記転送パルス昇圧

3

器が2行の転送パルス印加線への印加時刻を定める2つの正の単一電源駆動信号を入力しその論理和を出力するオア回路と、該オア回路の出力を入力とし第2の電圧値を高レベルに持つ転送パルスを発生する昇圧器と、該昇圧器の出力を上記2つの正の単一電源駆動信号に基づき2本の転送パルス印加線の各々に出力するスイッチを有する事を特徴とする請求項9記載の固体撮像素子。

【請求項11】上記行選択手段を構成する転送パルス発生手段が、該制御信号に基づき前置転送パルス印加線に印加された上記正の電源の電圧値より高く第2の電圧値より低い第3の電圧値を高レベルに有する前置転送パルスを選択行に出力する前置転送パルス電圧変換器と、該前置転送パルス電圧変換器の出力部をゲートとし転送パルス線をソースとし転送パルス印加線をドレインとする転送パルススイッチMOSトランジスタと、該転送パルススイッチMOSトランジスタのソースとゲート間に設けられたブートストラップ容量とを備えることを特徴とする請求項8記載の固体撮像素子。

【請求項12】上記行選択手段が、正の単一電源駆動信号を昇圧して上記正の電源の電圧値より高く第2の電圧値より低い第3の電圧値を高レベルに有する前置転送パルスを上記転送パルス発生手段内の前置転送パルス印加線に供給する前置転送パルス昇圧器を備えた事を特徴とする請求項11記載の固体撮像素子。

【請求項13】上記前置転送パルス印加線が一水平走査期間に同時に選択された垂直方向に隣接する2行の転送パルス線に異なる時刻に転送パルスを出力するための2本の前置転送パルス印加線からなり、かつ、上記前置転送パルス昇圧器が2行の各々の前置転送パルスの前置転送パルス線への印加時間を定める2つの正の単一電源駆動信号を入力しその論理和を出力するオア回路と、オア回路の出力を入力とし第3の電圧値を高レベルに持つ前置転送パルスを発生する昇圧器と、該昇圧器の出力を上記2つの正の単一電源駆動信号に基づき2行の前置転送パルス印加線の各々に出力するスイッチを有する事を特徴とする請求項12記載の固体撮像素子。

【請求項14】同一半導体基板上に、2次元状に配置した光電変換素子と、該光電変換素子間に設けられた信号電荷を垂直方向に転送するための複数の電極を有する垂直電荷転送手段と、該垂直電荷転送手段の一水平行の電極を結ぶ駆動パルス線に垂直電荷転送のための駆動パルスを順次供給する駆動手段と、該光電変換素子の信号電荷を一水平行ずつ該垂直電荷転送手段に転送するための転送パルスを該駆動パルス線に供給する行選択手段と、該垂直電荷転送手段からの信号を水平方向に転送する水平走査手段とを備え、該駆動手段は少なくとも1つの信号電荷を含む複数の電荷を転送するために該電荷転送手段の中に複数の電極に渡る分離された複数の電位の井戸を形成移動し、該行選択手段は該複数の電位井戸の内信号電荷を転送するための電位の井戸に信号電荷を転送

4

する固体撮像素子において、上記駆動手段は駆動パルスのタイミング信号を発生するためのシフトレジスタを備えるタイミング発生手段と、該駆動パルス線毎に該タイミング信号に基づき開閉する該駆動パルス線を一端とし第1の電源を他端とする第1のスイッチと該駆動パルス線を一端とし第2の電源を他端とする第2のスイッチとを備え、上記行選択手段は該第1、第2のスイッチが共にオフの時にオンする該駆動パルス線を一端とする第3のスイッチを備えることを特徴とする固体撮像素子。

10 【請求項15】同一半導体基板上に、2次元状に配置した光電変換素子と、該光電変換素子間に設けられた信号電荷を垂直方向に転送するための複数の電極を有する垂直電荷転送手段と、該垂直電荷転送手段の一水平行の電極を結ぶ駆動パルス線に垂直電荷転送のための駆動パルスを供給する駆動手段と、該光電変換素子の信号電荷を一水平行ずつ該垂直電荷転送手段に転送するための転送パルスを該駆動パルス線に供給する行選択手段と、該垂直電荷転送手段からの信号を水平方向に転送する水平走査手段とを備え、かつ、該駆動パルスの低レベルの電圧値が負値の固体撮像素子において、上記行選択手段は選択行を特定するための制御信号を発生する低レベルが接地電圧の駆動信号で動作する行選択制御手段と、該制御信号と負電源とから転送パルスが印加されていない期間の選択行と非選択行に負値電圧を発生する前置転送パルス電圧変換器と、該前置転送パルス電圧変換器の出力部をゲートとし上記駆動パルス線をソースとする転送パルススイッチMOSトランジスタとからなる転送パルス発生手段を有することを特徴とする固体撮像素子。

20 【請求項16】同一半導体基板上に、2次元状に配置した光電変換素子と、該光電変換素子間に設けられた信号電荷を垂直方向に転送するための複数の電極を有する垂直電荷転送手段と、該垂直電荷転送手段の一水平行の電極を結ぶ駆動パルス線に垂直電荷転送のための駆動パルスを供給する駆動手段と、該光電変換素子の信号電荷を該垂直電荷転送手段に転送するための転送パルスを該駆動パルス線に供給する行選択手段と、該垂直電荷転送手段からの信号を水平方向に転送する水平走査手段とを備えた固体撮像素子において、上記駆動手段が上記駆動パルス線との間にゲートが直流電圧に接続された高耐圧化MOSトランジスタを有することを特徴とする固体撮像素子。

40 【請求項17】上記水平走査手段が、上記垂直電荷転送手段の出力端子毎に設けられた少なくとも増幅器と該増幅器の入力端子に接続されたリセットスイッチを有する増幅手段と、該増幅手段の出力を選択して出力する水平走査回路とを備える事を特徴とする請求項7、8、14乃至16のいずれか一項に記載の固体撮像素子。

50 【請求項18】2相ダイナミック型シフトレジスタと、第1のシフトレジスタの出力によりオンし正電源線と出力を接続する第1のスイッチと該第1の出力よりシフト周

5

期の1/2のN倍(Nは2以上の整数)だけ遅れたシフトレジスタの第2の出力によりオンし接地線と出力を接続する第2のスイッチからなるパルス幅伸長器を有することを特徴とするタイミング発生手段。

【請求項19】低レベルが接地電圧で高レベルが正の電圧を持つパルス入力部をソースとし、接地線をゲートとする負のしきい電圧値を持つPMOSトランジスタと、出力となるPMOSのドレインをドレインとし負の電源線をソースとし常時オン状態にあるnMOSトランジスタとを備えることを特徴とするパルス電圧変換器。

【請求項20】上記nMOSトランジスタが上記入力パルスが低レベルになった後に高レベルとなるパルス入力部をゲートとする事の特徴とする請求項19記載のパルス電圧変換器。

【請求項21】低レベルが接地電圧で高レベルが正の電圧を持つ第1のパルス入力部をゲートとし低レベルが接地電圧で高レベルが正の電圧を持つ第2のパルスの入力部をドレインとする正のしきい電圧値を持つパルス入力用nMOSトランジスタと、接地線をゲートとし該パルス入力用nMOSのソースをソースとする負のしきい電圧値を持つPMOSトランジスタと、出力となるPMOSのドレインをドレインとし上記負値電源をソースとする常時オン状態にあるnMOSトランジスタとからなるパルス電圧変換器。

【請求項22】同一半導体基板上に、電荷転送手段と、電荷転送手段を駆動するためのパルスを発生する駆動回路を備える電荷転送装置において、上記駆動回路がゲート酸化膜厚が上記電荷転送手段のゲート酸化膜厚と等しい第1のMOSトランジスタと第1のMOSトランジスタよりもゲート酸化膜厚が薄い第2MOSトランジスタで構成される事の特徴とする電荷転送装置。

【請求項23】同一半導体基板上に、信号電荷を転送するための電荷転送手段と、電荷転送手段を駆動するためのパルスを発生する駆動回路を備える電荷転送装置において、上記駆動回路が第1の不純物層に形成された第1のMOSトランジスタと、第1の不純物層より低濃度の表面濃度を持つ第2の不純物層に形成された第2のMOSトランジスタで構成される事の特徴とする電荷転送装置。

【請求項24】同一半導体基板上に、複数の第1導電型の不純物層を有する光電変換素子と、光電変換素子からの信号電荷を転送するための複数の電極を有する電荷転送手段と、上記電荷転送手段から転送された信号電荷を増幅するための増幅器と該増幅器の出力を保持処理する出力保持容量を有する増幅手段とを備えた固体撮像素子において、上記出力保持容量の一端が上記電荷転送手段を構成するゲート電極で構成され、他端が第2導電型の不純物層内に設けられた光電変換素子を構成する第1導電型の不純物層を備える不純物層で構成された事の特徴とする固体撮像素子。

【請求項25】同一半導体基板上に、2次元状に配置し

6

た光電変換素子と、該光電変換素子間に設けられた信号電荷を垂直方向に転送するための複数の電極と出力端に出力ゲートを有する垂直電荷転送手段と、正の単一電源駆動信号を入力する事により該垂直電荷転送手段の一水平の電極を結ぶ駆動パルス線に垂直電荷転送のための低レベルが負値の駆動パルスを順次供給する駆動手段と、正の単一電源駆動信号を入力する事により該光電変換素子の信号電荷を一水平行ずつ該垂直電荷転送手段に転送するための正の電源電圧値より高い第2の電圧値を高レベルに持つ転送パルスを該駆動パルス線に供給する行選択手段と、上記垂直電荷転送手段の出力端子毎に設けられた増幅器と該増幅器の入力端子に接続されたリセットスイッチを有する増幅手段と該増幅手段の出力を選択して出力する正の単一電源駆動信号で動作する水平走査回路からなる水平走査手段を備え、上記駆動手段、行選択手段、水平走査手段に輸入される複数の正の単一電源駆動信号と正電源と該駆動パルスの低レベルと等しい電圧値を持つ負電源と上記半導体基板に印加される第2の正電源により動作する事の特徴とする固体撮像素子。

【請求項26】同一半導体基板上に上記正電源から昇圧により第2の正電源電圧を発生する基板電圧発生器を備える事の特徴とする特許請求の範囲第25項記載の固体撮像素子。

【請求項27】同一半導体基板上に上記駆動パルスの低レベルと等しい電圧値を持つ負電源電圧を発生する負電圧発生器を備える事の特徴とする請求項25記載の固体撮像素子。

【請求項28】同一半導体基板上に単一もしくは複数の基本クロックから上記駆動手段、行選択手段、水平走査手段に輸入される上記複数の正の単一電源駆動信号を発生させるタイミング発生器を備える事の特徴とする請求項25記載の固体撮像素子。

【請求項29】上記正の単一電源駆動信号の高レベル電圧は上記水平走査手段内の増幅器の電源電圧値と等しい正電源電圧値より低く、同一半導体基板上に該正電源を降圧して該正の単一電源駆動信号の高電圧を発生する電源電圧降圧器を備える事の特徴とする請求項28記載の固体撮像素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、駆動回路を内蔵したCCD型固体撮像素子に関し、高速駆動、低消費電力化、高集積化と単一電源駆動を可能とする駆動回路の回路構成、駆動回路に用いるタイミング発生手段、パルス電圧変換器、デバイス構造に関するものである。

【0002】

【従来の技術】現在カメラ一体型ビデオテープレコーダー等に用いられる撮像デバイスとしては主としてインターライン方式CCD型固体撮像素子が用いられている。

7

このインターライン方式CCD型撮像素子の飽和信号電荷量の増加、スミア抑圧、2行同時独立読みだし化を実現するために、本願発明者は特開昭61-184975号公報および特開昭62-126383号公報において図14に示す駆動回路を内蔵したCCD型固体撮像素子を提案した。図14で、125は2次元状に配置された光電変換を行なうホトダイオード、129はホトダイオード125の列間に設けられた信号電荷を垂直方向に転送するための埋め込み型チャネル構造を有する垂直電荷転送手段である。127はホトダイオード125の信号電荷を一水平行ずつ垂直電荷転送手段129に転送するための転送パルスを供給する行選択手段で、行選択を行なうシフトレジスタとシフトレジスタからの出力パルスから一水平走査期間に同時に読み出される2行の組の選択を行なうインターレス回路からなる。128はインターレス回路から出力される転送パルスを同一行の転送ゲート126に伝達するための転送パルス線、126は転送パルスにより開閉する転送ゲートである。また、130は垂直電荷転送のための駆動パルスを順次供給するための駆動手段で、駆動パルス列を発生するシフトレジスタとシフトレジスタから出力されるパルス列を反転するための反転回路からなるバッファ回路で構成される。131はバッファ回路から出力される駆動パルスを垂直電荷転送手段129の各電極に伝達する駆動パルス線である。さらに、132から125により水平走査手段が構成され、132、133はそれぞれスミア電荷を素子外部にはきだすためのはきだしゲートとはきだしドレイン、134-1～134-3はそれぞれ第1の信号電荷、第2の信号電荷、スミア電荷を読み出す第1から第3の水平電荷転送素子、135-1～135-3はそれぞれ第1から第3の水平電荷転送素子134-1～134-3の出力回路、136-1～136-3はそれぞれ垂直電荷転送手段129と第1の水平電荷転送素子134-1の間、第1の水平電荷転送素子134-1と第2の水平電荷転送素子134-2、第2の水平電荷転送素子134-2と第3の水平電荷転送素子128-3各水平電荷転送素子間を仕切るゲートである。なお、上記垂直電荷転送手段129の図中横実線で仕切られた1転送要素は互いに電氣的に接続された2層のポリシリコン電極137、138からなり、かつ2電極下電位は電位差を持っている。行選択手段と駆動手段を構成するシフトレジスタは、特公昭62-045638号公報に記載の2相レシオレス ダイナミック シフトレジスタで、行選択手段を構成するインターレス回路は、特公昭61-061586号公報に記載の回路からなる。

【0003】本回路の動作は、特開昭61-184975号公報および特開昭62-126383号公報に詳しく説明されているので、ここでは簡単に述べるにとどめる。まず、駆動手段127を構成するシフトレジスタに4つの走査開始パルスをシフトレジスタの2相シフトパルスの周期の整数倍の間隔で入力すると、このパルスがシフトレジスタ内をシフトし各行に出力される。この出力は駆動手段127を構成するバッファ回路で反転され、転送パルス線128を介

8

して垂直電荷転送手段129の各電極に印加される。この結果、各垂直電荷転送手段129内に電位障壁で分離された複数の電極に渡る4種の電位の井戸が形成移動される。この4種の電位の井戸は、それぞれ、はきだされるスミア電荷、信号電荷と同時に読み出されるスミア電荷、第1の信号電荷、第2の信号電荷を転送するためのものである。第2の信号転送用の電位の井戸が行選択手段により選択された2行の内第n行目の近傍を通過するとき第n行目の転送パルス線131に転送パルスを印加し、第n行の信号電荷をホトダイオード125から第2の信号電荷転送用の電位井戸に転送する。ついで同様に第n+1行の信号電荷を第1の信号電荷転送用の電位井戸に転送する。他の2種の空の電位井戸にはきだされるスミア電荷と信号と同時に読み出されるスミア電荷が垂直電荷転送手段内を電位井戸が移動するに従って蓄積されていく。これら4種の電荷は水平ブランキング期間にはきだしゲート132とゲート136-1～136-3並びに水平電荷転送素子134-1～134-3の動作により、はきだされるスミア電荷ははきだしドレイン133へはきだされ、スミア電荷は第3の水平電荷転送素子134-3へ、第n行の信号電荷は第2の水平電荷転送素子134-2へ、第n+1行の信号は第1の水平電荷転送素子134-1に転送される。次いで、水平走査期間には第1から第3の水平電荷転送素子134-1～134-3内を電荷が転送され出力回路135-1～135-3で増幅され出力される。このようにして出力された第n行の信号並びに第n+1行の信号からスミア信号を差し引くことにより、スミア信号の混入しない真の信号を得る。なお、次のフィールドでは、n-1行とn行を同時に読み出すことによりインターレス走査を行なう。このような切り替えは行選択手段を構成するインターレス回路に入力される2相インターレスパルスにより行なわれる。

【0004】一方、公表特許公報昭60-500396号には、通例のインターライン方式CCDの各垂直電荷転送素子毎に増幅器を設けこの出力を多重化する事により、水平CCDによる速度の制限をなくする事が示されている。また、本発明者は、上記方式において、特開昭62-185471号公報にて提案を行なった各増幅器毎に2容量を設け増幅器の通過帯域を下げ雑音低減を行なう回路を適用することを特開平6-97414号公報に示した。

【0005】さらに、特開昭57-72375号公報（特公平2-52424号公報）には、CCD型撮像素子で信号電荷を容量帰還型増幅器で電圧に変換する事が提案されている。

【0006】なお、特開昭57-78167号公報（特公昭61-17152号公報）、特開昭60-98774号公報には、図14の従来例と同様の駆動パルスを順次供給する駆動手段と、行選択手段の双方を備え、駆動手段がスミア電荷をはきだすため電荷転送手段の中に分離された複数の電位の井戸を形成移動し、行選択手段が複数の電位井戸の内信号電荷を転送するための1電極からなる電位の井戸に信号電荷を転送し、かつ、転送ゲート126が垂直電荷転送手段1

29の電極と共用され、駆動パルス線128と転送パルス線131が共通になった従来例が示されている。また、特開昭63-62480号公報（特公平4-46504号公報）、特開昭64-54879号公報には垂直電荷転送を通例の電荷転送素子と同様の多相の外部パルスで行なう点で相違はあるものの、図14の従来例と同様の行選択手段を備え、複数個の電荷を転送するために電荷転送手段の中に複数電極に渡る分離された複数個の電位の井戸を形成移動し、行選択手段は複数の電位井戸の内信号電荷を転送するための電位の井戸に信号電荷を転送し、かつ、転送ゲート126が垂直電荷転送手段129の電極と共用され駆動パルス線128と転送パルス線131が共通になった従来例が示されている。さらに、特開昭62-38677号公報（特公平3-74997号公報）には、複数個の電荷を転送するという点ではことなるものの、他の点では以上の従来例と同様の特徴を有し、かつ、ホトダイオード125から垂直電荷転送手段129への転送を複数回行なった従来例が示されている。

【0007】また、特開昭61-157188号公報、特開昭61-214871号公報には、シフトレジスタの一つの出力により開く複数個のスイッチを設けて、シフトレジスタのシフト周期以上の幅を持つパルスを得るパルス幅伸長器が示されている。

【0008】なお、特開平1-103861号公報には、電荷転送素子を駆動するための駆動パルス発生回路を内蔵した固体撮像素子において、駆動パルス発生回路のゲート酸化膜厚を電荷転送素子のゲート酸化膜厚より薄くした従来例が示されている。

【0009】さらに、特開昭61-234670号公報には、図14に示した従来例と同様の駆動手段と行選択手段を備えた素子において、駆動手段127と行選択手段130と出力回路135-1から135-2を他の部分より高濃度のウエル内に形成した従来例が示されている。また、特開昭61-145974号公報には、駆動手段127のウエルを他の部分のウエルと分離し、他の部分より低いバイアス電圧を与える事が示されている。

【0010】さらにまた、特開平5-283614号公報は、感知ノードを非感知ノードで挟む事により、外部ノイズ源又は基板半導体から隔離された遮蔽プレートを提供する。

【0011】一方、本発明者は、特開平5-103272号公報にて、CCD型撮像素子でタイミング発生器からの単一電源値を持つパルスをトリガと2電源を供給することにより所定の電圧レベルのパルスを発生させるバッファ回路と所定の直流電圧を発生させる昇圧もしくは降圧回路を内蔵して、ドライバチップをなくしとDC-DC変換器の数を減らす事により、CCD型撮像素子の使い勝手を向上させ、撮像装置の低消費電力化を図る事を提案した。

【0012】また、特開昭52-149022号公報、特公平5-2

4711号公報には、ブランキング期間に相当するシフトレジスタを設けリングカウンタを構成し、ブランキング期間のシフトレジスタ出力から各種信号を得る事が記載されている。

【0013】

【発明が解決しようとする課題】図14の従来例では、行選択手段127は一行の転送パルス線128に転送パルスを、駆動手段130は例えば特開昭61-184975号公報の駆動法を行なう場合には4つの駆動パルス線に駆動パルスを供給するだけであるので、負荷容量が小さく、高速駆動に適するという利点を持つ。しかし、水平走査手段が132から135により構成されているため、水平電荷転送素子134-1~134-3の持つ大きな容量により水平電荷転送素子のクロックの立ち上がりが制限され高速の駆動が困難であり、かつ、消費電力も大きいという課題を有する。一方、公表特許公報昭60-500396号には、通例のインターライン方式CCDの各垂直電荷転送素子毎に増幅器を設けこの出力を多重化する事により、水平電荷転送素子のクロックの立ち上がりによる速度の制限をなくす事が示されている。しかし、垂直電荷転送素子の大きな容量によりクロックの立ち上がりが制限され高速駆動が困難になる点については何等考慮がなされていない。近年、ハイビジョンの次世代を担う超高精細撮像システムが提案されているが、このシステムに用いる撮像素子には、ハイビジョン撮像素子の約4倍以上の高速駆動が必要とされ、上記した課題により、いずれの素子を用いても実現が困難である。従って、本発明の第1の目的は、素子の高速駆動を可能とし、超高精細撮像素子の様な超高速駆動素子を実現する事にある。

【0014】さらに、図14の従来例では、スミア電荷を素子外部にはきだすためのはきだしゲート132とはきだしドレイン133があるため、水平走査手段の高集積化が図れないという課題がある。また、垂直電荷転送手段129の不要電荷のはきだしと信号読み出しの分岐点となるXの部分で、電荷転送チャネル内の電位の山谷が生じ転送効率不良が発生するという課題がある。一方、公表特許公報昭60-500396号、特開平6-97414号公報は、通例のインターライン方式CCDの水平走査手段の高速低消費電力化を意図したものであり、図14の従来例の持つ上記2つの課題については何等考慮されていない。従って、本発明の第2の目的は、はきだしゲート132とはきだしドレイン133をなくし、高集積で転送効率不良が起こらない水平走査手段を実現する事にある。

【0015】さて、通例のインターライン方式CCD型撮像素子では、2次元状に配置されたホトダイオード125と垂直電荷転送手段129をn型基板上のpウエル内に形成し、pウエルの電位を接地電位とし垂直電荷転送手段の各電極に印加される駆動パルスの低レベルを負値とすることにより、低レベル電圧印加時にpウエルと逆導電型の不純物層からなる埋め込チャネルの表面に反転層

(pウエルの不純物層と同導電型)を誘起し、垂直電荷転送手段129で発生する暗電流を抑圧する技術は周知である。この方法を図14の従来例で実施するには、タイミング発生チップで発生した正の単一電源値を持つ駆動信号から低レベルを負値とする駆動手段127を構成するシフトレジスタを駆動するための2相シフトパルスおよび走査開始パルスの3つのパルスを発生するドライバを素子外もしくは素子内に設け、シフトレジスタ内の比較的大きなパルス線を駆動する必要がある。なかでも、シフトレジスタを駆動する2相シフトパルスは高速のパルスであるためドライバにおいて消費される電力が大きく、撮像装置の低消費電力化を阻む要因になっていた。従って、本発明の第3の目的は、シフトレジスタ内の比較的大きなパルス線を駆動する2相シフトパルスを発生するドライバをなくし、撮像装置の低消費電力化を図る事にある。

【0016】一方、図14に示す従来例では、通例のインターライン方式CCD型撮像素子と同様に、ホトダイオード125に蓄積される信号電荷量を大きくし、かつ、残像現象の発生を防止するために、転送ゲート126には15V程度の高い電圧振幅を持つ転送パルスが印加される。このために、図14の従来例では、タイミング発生器で発生された正の単一電源値を持つ駆動信号から転送パルスと同じ高い電圧振幅を持つ行選択手段127を構成するシフトレジスタを駆動するための2相シフトパルスと走査開始パルス、インターレス回路を駆動するための2相インターレスパルスと2個の転送パルス線に供給される転送パルスを発生するドライバを素子外部あるいは素子内部に設け、行選択手段127を駆動していた。しかし、このような大きな電圧振幅を持つ回路を微細なトランジスタで構成する事は困難であるためにシフトレジスタとインターレス回路で構成される行選択手段127を高集積化できなかった。さらに、素子内部あるいは素子外部にもうけられたドライバは大面積を持つものとならざるを得ず装置の小型化を阻んでいた。従って、本発明の第4の目的は、行選択手段内の大きな電圧振幅を持つ部分をわずかにして行選択手段127の高集積化を図るとともに、転送パルスを除く5つのパルスを発生する高い電圧振幅を持つドライバをなくし装置の小型化を図る事にある。

【0017】また一方、図14の従来例においては、高い飽和信号電荷量を実現しつつ、スミアの掃きだし、スミアの差動、2行同時独立読みだしを行なうために、電荷転送手段129の中に分離された複数の電位の井戸を形成移動し、複数の電位井戸の内信号電荷を転送するための電位の井戸が選択行の近傍を通過する時に転送パルスを印加し垂直電荷転送手段に信号電荷を転送している。このため、転送パルスと垂直電荷転送手段129の駆動パルスの印加タイミングを時間的に明確に分離できず、通例のインターライン方式CCD型撮像素子で行なわれている様に、転送ゲート126と垂直電荷転送手段129の電

極、および、駆動パルス線128と転送パルス線131を共通にし、3値パルスを共通線に与える事により画素部の高集積化を図る事が困難であるという課題があった。この課題を解決する従来例としては特開昭57-78167号公報(特公昭61-17152号公報)、特開昭60-98774号公報があげられる。しかし、特開昭57-78167号公報(特公昭61-17152号公報)に記載されたシフトレジスタ出力をゲートに入力するMOSトランジスタと抵抗により多値パルスを発生させる方法では、MOSトランジスタがオン時に貫通電流が流れるという課題がある。しかも、各MOSトランジスタは容量の大きな転送パルスと共通化された駆動パルス線を高速にダイレクトに駆動するため、上記貫通電流を小さくする事ができない。この結果、消費電力が大きくなるという課題を有する。一方、特開昭60-98774に記載された駆動手段と駆動パルス線間に直列に同時に動作する第1のスイッチと、電源と駆動パルス線間に行選択手段の出力により制御される第2のスイッチを設け、第1のスイッチをオフし、第2のスイッチをオンする事により転送パルスを駆動パルス線に供給し、他の期間においては第1のスイッチをオン、第2のスイッチをオフし、駆動パルスを駆動パルス線に印加する方法によれば、貫通電流が流れる事はない。しかし、第1のスイッチがオンオフする前後で駆動パルスの電圧値が変化し電荷の取り残しが発生しない様にするために、転送パルスの印加時間は駆動パルスのシフト周期以下とする必要がある。なお、特開昭63-62480号公報(特公平4-46504号公報)、特開昭64-54879号公報でも同様の転送パルスの印加方法がなされている。この結果、転送パルスが充分に立ち上がらず、残像が発生するという課題が生じる。従って、本発明の第5の目的は、図14の従来例において、消費電力の増加もなく、印加される転送パルスを駆動パルスのシフト周期以上にする事により残像の発生もなく、転送ゲート126と垂直電荷転送手段129の電極、および、駆動パルス線128と転送パルス線131を共通にする事により画素部の高集積化を図る事にある。

【0018】さらに、図14の従来例で転送ゲート126と垂直電荷転送手段129の電極、および、駆動パルス線128と転送パルス線131を共通化するには、駆動パルス線への負値電圧の印加により行選択手段127の出力を構成するインターレス回路内の転送パルススイッチがオンして無効な電流が流れ無効電力が発生しない様に行選択手段127の駆動パルスの低レベルを負値電圧としなければならない。このため、タイミング発生器で発生された正の単一電源値を持つ駆動信号から低レベルを負値とする行選択手段127を構成するシフトレジスタを駆動するための2相シフトパルスと走査開始パルス、インターレス回路を駆動する2相インターレスパルスと2個の転送パルス線に供給される転送パルスを発生するドライバを素子外部あるいは素子内部に設け、行選択手段127を駆動していた。この結果、行選択手段127の駆動電圧振幅は、駆

動パルス線128と転送パルス線131を共通化しない時の電圧に駆動パルスの電圧を足したものとなり行選択手段の高集積化を阻んでいた。なお、以上の課題は特開昭57-78167号公報（特公昭61-17152号公報）や特開昭62-38677号公報（特公平3-74997号公報）に記載の素子でも同様である。従って、本発明の第6の目的は、駆動パルス線128と転送パルス線131を共通化しても、低レベルを負値に持つパルスの印加箇所をわずかにして、行選択手段127の駆動電圧振幅の高い部分を低減することにより行選択手段の高集積化を図る事にある。

【0019】さらにまた、図14の従来例において、転送ゲート126と垂直電荷転送手段129の電極、および、駆動パルス線128と転送パルス線131を共通には、転送パルス振幅と駆動パルス振幅を足した高電圧が駆動手段の出力部となるバッファ回路に印加される事になりバッファ回路が破壊もしくは長期に渡る使用に耐えられなくなるという課題も生じる。従って、本発明の第7の目的は、駆動パルス線128と転送パルス線131を共通にしても、駆動手段の出力部に高い電圧がかかることなく高い信頼性を持つ駆動手段を実現する事にある。

【0020】

【課題を解決するための手段】上記第1の目的を達成するために、本発明の固体撮像素子は、同一半導体基板上に、2次元状に配置した光電変換素子と、該光電変換素子間に設けられた信号電荷を垂直方向に転送するための複数の電極を有する垂直電荷転送手段と、該垂直電荷転送手段の一水平の電極を結ぶ駆動パルス線に垂直電荷転送のための駆動パルスを順次供給する駆動手段と、該光電変換素子の信号電荷を一水平方向に転送する手段に転送するための転送パルスを該駆動パルス線に供給する行選択手段と、上記垂直電荷転送手段の各出力端毎に設けられた増幅手段と、該増幅手段の出力を選択して出力する水平走査回路からなる水平走査手段とを備える事を特徴としている。

【0021】上記第2の目的を達成するために、本発明の水平走査手段は、垂直電荷転送手段の出力端子毎に設けられた少なくとも増幅器と該増幅器の入力端子に接続された不要電荷のはきだしゲートと兼用されたリセットスイッチと増幅器の出力を保持する出力保持容量を有する増幅手段と、出力保持容量に保持された出力を選択して出力する水平走査回路とを備える事を特徴としている。

【0022】上記第3の目的を達成するために本発明の固体撮像素子の駆動手段は、正の単一電源駆動信号で動作するシフトレジスタを有するタイミング発生手段と、該タイミング信号に基づき負値の電圧を低レベルに持つ駆動パルスを駆動パルス線に供給する負電源を有する駆動パルス発生手段とを有することを特徴としている。

【0023】上記第4の目的を達成するために、本発明の固体撮像素子の選択手段は選択行を特定するための制

御信号を発生する正の単一電源駆動信号で動作する行選択制御手段と、該制御信号に基づき転送パルス印加線に印加された該正の電源の電圧値より高い第2の電圧値を高レベルに持つ転送パルスを選択行の転送パルス線に出力する転送パルス発生手段とを有することを特徴としている。

【0024】上記第5の目的を達成するために、本発明の固体撮像素子では、駆動手段が駆動パルスのタイミング信号を発生するために少なくともシフトレジスタを備えるタイミング発生手段と、該駆動パルス線毎に該タイミング信号に基づき開閉する該駆動パルス線を一端とし第1の電源を他端とする第1のスイッチと該駆動パルス線を一端とし第2の電源を他端とする第2のスイッチとを備え、行選択手段が非選択行においては常にオフし選択行において第1、第2のスイッチが共にオフの時にオンする駆動パルス線を一端とする第3のスイッチを備えることを特徴としている。

【0025】上記第6の目的を達成するために、本発明の固体撮像素子の行選択手段は低レベルが接地電圧で動作する行選択制御手段と、転送パルスが印加されていない期間の選択行と非選択行に負値電圧を発生する負電源を有する前置転送パルス電圧変換器と、前置転送パルス電圧変換器の出力部をゲートとし上記駆動パルス線をソースとする転送パルススイッチMOSトランジスタとからなる転送パルス発生手段とからなる転送パルス発生手段を有することを特徴としている。

【0026】上記第7の目的を達成するために、本発明の固体撮像素子の駆動手段は駆動パルス線との間にゲートが直流電圧に接続された高耐圧化MOSトランジスタを有することを特徴としている。

【0027】

【作用】第1の目的を達成する手段によれば、行選択手段と駆動手段は選択された行にだけパルスを印加するため負荷容量が小さく、かつ、水平走査手段も増幅手段の出力を選択的に出力するため負荷容量が小さい。従って、素子を駆動する行選択手段、駆動手段、水平走査手段の駆動パルスの立ち上がりによる速度制限は解消され素子の全ての部分の高速駆動が可能となり、超高精細撮像素子の様な高速駆動素子を実現できる。

【0028】さらに、第2の目的を達成する手段によれば、リセットスイッチがオフの時、垂直電荷転送手段内に形成された第1の電位井戸により転送されてきた信号電荷が増幅器入力端子に転送され、電圧に変換され出力保持容量に保持される。一方、リセットスイッチがオンの時垂直電荷転送手段2内に形成された第2の電位井戸により転送された不要電荷が、出力の終わった信号電荷と共にリセットスイッチを経て素子外部に掃きだされる。出力保持容量に保持された出力は水平走査回路により選択され素子外部に出力される。このようにして、はきだしゲートとはきだしドレインが不要となるので、高集積化

が可能となり、かつ、信号電荷と不要電荷が電荷転送経路で分かれる事がなくなり転送効率不良が起こる事はない。第3の目的を達成する手段によれば、シフトレジスタを備えるタイミング発生手段は、タイミング発生チップからの正の単一電源値を持つ駆動信号により直接駆動されタイミング信号を各行に発生する。駆動パルス発生手段は、タイミング信号と負値電源から低レベルが負値の駆動パルスを駆動パルス線に供給する。このようにしてシフトレジスタ内の比較的大きなパルス線を駆動する高速の2相シフトパルスを発生するドライバは必要なくなり、撮像装置の低消費電力化が図れる。第4の目的を達成する手段によれば、行選択制御手段は、タイミング発生チップからの正の単一電源を値を持つ駆動信号により直接駆動され行選択制御信号を発生する。転送パルス発生手段は、制御信号に基づき転送パルス印加線に印加される正の電源の電圧値より高い第2の電圧値を高レベルに持つ転送パルスを選択された行の転送パルス線に出力する。このようにして、行選択手段内の大きな電圧が印加されるのは転送パルス発生手段内の転送パルス線並びに転送パルス印加線に接続された部分だけに行うことができるので行選択手段の高集積化ができ、かつ、転送パルスを除く5つの転送パルスと同じ高い電圧値を持つ行選択手段の駆動パルスを発生するためのドライバは不要となり装置の小型化が図れる。さらに、第5の目的を達成する手段によれば、駆動手段を構成する第1のスイッチと第2のスイッチは、タイミング発生手段からのタイミング信号に基づき、それぞれ、駆動パルスの立ち上がりとし、立ち下がり時間にだけオンし駆動パルス線を第1の電源もしくは第2の電源に接続し、他の期間においてはオフとなっている。一方、行選択手段を構成する第3のスイッチは、非選択行の全期間と転送パルスの印加時間を除く期間においてオフしている。従って、駆動パルス線に転送パルスを出力する期間を駆動パルスの立ち下がりとし、立ち下がり期間の間とし、かつ、駆動パルスの立ち上がりとし、立ち下がりの間を駆動パルスのシフト周期の n 倍にすることにより、貫通電流が流れる事なく、転送パルスの印加時間を駆動パルスのシフト周期の n 倍以下の任意の時間に設定できる。このようにして、消費電力の増加もなく、印加される転送パルスを駆動パルスのシフト周期以上にすることにより残像の発生もなく、転送ゲート126と垂直電荷転送手段129の電極、および、駆動パルス線128と転送パルス線131を共通にし画素部の高集積化ができる。

【0029】また、第6の目的を達成する手段によれば、行選択制御手段は、低レベルが接地電圧値を持つ駆動信号により直接駆動され、行選択制御信号を発生する。前置転送パルス電圧変換器は、転送パルスが印加されていない期間の選択行と非選択行に負値電圧を駆動パルス線とソースとする転送パルススイッチMOSトランジスタのゲートに印加する。この様にして、駆動パルス

線128と転送パルス線131を共通化しても、低レベルを負値に持つ行選択手段の駆動パルスは前置転送パルスだけにでき、行選択手段127の駆動電圧振幅の高い部分を低減することにより行選択手段の高集積化が図れる。

【0030】一方、第7の目的を達成する手段によれば、ゲートが直流電圧に接続された高耐圧化MOSトランジスタにより、駆動パルス線に高い電圧を持つ転送パルスが印加されても、駆動手段の出力部電圧は、MOSトランジスタのゲートに印加された直流電圧とMOSトランジスタのしきい値電圧により決る所定値以上に上昇する事はない。従って、駆動パルス線128と転送パルス線131を共通にしても、駆動手段の出力部に高い電圧がかかることなく高い信頼性を実現する事ができる。

【0031】

【実施例】

第1の実施例

本発明の第1の実施例を図1から図13により説明する。図1は、第1の実施例の全体回路構成を示す図、図2は図1の素子の駆動パルスタイミング図である。図3(a)

は、タイミング発生手段3と駆動パルス発生手段4からなる駆動手段の第1の実施例の回路構成図、同図(b)は同図(a)の回路の駆動パルスタイミング図である。図(a)で破線内が駆動パルス発生手段4の一行毎にもうけられた回路部分を示す。図4(a)は、駆動手段の第2の実施例の回路構成図、同図(b)は同図(a)の回路の駆動パルスタイミング図である。図4(a)で破線内がタイミング発生手段3の一部をなすパルス幅伸長器の一行分の回路と駆動パルス発生手段4の一行毎にもうけられた回路部分を示す。図5は、駆動手段の第3の実施例の回路構成図である。図5で破線内がタイミング発生手段3の一部をなすパルス幅伸長器と駆動パルス発生手段4の一行分の回路を示す。図6は、駆動手段の第4の実施例の回路構成図である。図6で破線内が破線内がタイミング発生手段3の一部をなすパルス幅伸長器と駆動パルス発生手段4の一行分の回路を示す。図7(a)は、行選択制御手段6と転送パルス発生手段7からなる行選択手段の第1の実施例の回路構成図、同図(b)は同図(a)の回路の駆動パルスタイミング図である。図(a)で破線内が行選択制御手段6の一部をなすインターレース回路の一行分の回路と転送パルス発生手段7の一行毎にもうけられた回路部分を示す。図8(a)は、行選択制御手段6と転送パルス発生手段7からなる行選択手段の第2の実施例の回路構成図、同図(b)は同図(a)の回路の駆動パルスタイミング図である。図8(a)で破線内が行選択制御手段6の一部をなすインターレース回路と転送パルス発生手段7の一行分の回路を示す。図9は厚いゲート酸化膜を持ち低濃度の第1の不純物層内に形成された垂直電荷転送手段2の断面構造図である。本構造の不純物分布は、本願発明者が特開平03-289173号公報にて提案した低スミア化、高飽和化、低暗電流化を可能とするパン

17

チスルー構造からなる。図10は垂直電荷転送手段2と同じ厚いゲート酸化膜厚を持ち、他の部分より表面濃度の低い第3の不純物層内に形成されたnMOSトランジスタである。図11はソースドレインn型拡散層をフィールドp層オフセットをかけて形成した垂直電荷転送手段2と同じ厚いゲート酸化膜厚を持ち、他の部分より表面濃度の低い第3の不純物層内に形成されたnMOSトランジスタである。図12は、高速高集積化を可能にする垂直電荷転送手段2より薄いゲート酸化膜を持ち高濃度の第2の不純物層内に形成されたMOSトランジスタの構造図である。図13は第2導電型の不純物層内に設けられた光電変換素子を構成する第1導電型の不純物層を備える不純物層で構成された電極を持つ容量である。

【0032】以下、まず、図1、図2を用い全体構成と動作及び水平走査手段について説明する。

【0033】(1) 全体構成と水平走査手段

図1では説明を簡単にするために光電変換素子が3x3のマトリックスの場合を示す。図1で、1は2次元状に配置したホトダイオードからなる光電変換素子、2はホトダイオード1の列間に設けられた信号電荷を垂直方向に転送するための埋め込み型チャネル構造を有する垂直電荷転送手段である。垂直電荷転送手段2は電極2-1で構成される繰り返し部と2-2から2-4からなる電荷転送制御部からなり、2-1が繰り返し部を構成する電極、fが繰り返し部最終電極、2-2が垂直電荷転送手段2と電荷蓄積ゲート2-3を仕切るゲート、2-3が電荷蓄積ゲート、2-4が電荷蓄積ゲート2-3と増幅器11を仕切る出力ゲートである。3、4は駆動手段を構成するもので、3が正の単一電源駆動信号が入力されるシフトレジスタを有するタイミング発生手段、4がタイミング信号と負電源から負値の電圧を低レベルに持つ駆動パルス線5に供給する駆動パルス発生手段、5は転送パルス線と共通の駆動パルス線、6、7は行選択手段を構成するもので、6が正の単一電源駆動信号が入力される選択行を特定するためのシフトレジスタとインターレス回路からなる行選択制御手段、7が特定された選択行に正の電源の電圧値より高い第2の電圧値を高レベルに持つ転送パルスを出し、転送パルスが印加されていない期間の選択行と非選択行に負値電圧を発生し駆動パルス線5をソースとする転送パルススイッチMOSトランジスタのゲートに印加する転送パルス発生手段である。8、9はそれぞれ端子SB、端子STから電荷転送制御部を構成するゲート2-2、電荷蓄積ゲート2-3に印加される駆動パルスを伝えるための電荷転送制御部駆動線で、10は端子OGに印加される直流電圧を出力ゲート2-4に伝える電荷転送制御部駆動線である。また、11から19で走査手段が構成される。11から18で増幅手段が構成され、11が垂直電荷転送手段2の出力端子毎に設けられた高電圧利得を持ち正の単一電源で動作するPチャネルトランジスタをドライブとする反転増幅回路からなる増幅器、12が増幅器11の入力端子と

18

出力端子間に設けられた不要電荷はきだしゲートと兼用されたpチャネルMOSトランジスタからなるリセットスイッチ、13が帰還容量である。14から18は特開昭62-185471号公報にて本発明者が提案を行なった増幅器の通過帯域を下げ雑音低減を行なった後の信号出力を保持する出力保持手段で、14が増幅器入力端子リセット時の増幅器の第1出力を保持する第1出力保持容量、17-1が増幅器入力端子へ第1の信号入力時の増幅器の第1の第2出力と増幅器入力端子リセット時の増幅器の第1の第1出力20との差分値を保持する第1の第2出力保持容量、17-2が増幅器入力端子へ第2の信号入力時の増幅器の第2の第2出力と増幅器入力端子リセット時の増幅器の第2の第1出力20との差分値を保持する第2の第2出力保持容量、15は第1出力保持容量14の出力端子側電圧をクランプし差分処理を行なうクランプスイッチ、16-1、16-2はそれぞれ第1、第2の第2出力保持容量への信号書き込みスイッチ、18-1、18-2はそれぞれ第1、第2の第2出力保持容量からの信号読みだしスイッチである。19は読みだしスイッチ18-1、18-2を順次開閉し各第2出力保持手段に保持された差分値を選択的に読み出すための水平走査回路である。T1、T2、TINはタイミング発生手段4内のシフトレジスタを駆動するための単一正電源値駆動信号入力端子で、T1、T2が2相シフトパルス入力端子、TINが走査開始パルス入力端子、VLは転送パルスの低レベル電圧と等しい負電源電圧入力端子、VMは転送パルスの高レベル電圧入力端子、Vccは正電源電圧入力端子、GNDは接地端子、V1、V2、VINは行選択制御手段6内のシフトレジスタを駆動するための単一正電源値駆動信号入力端子で、V1、V2が2相シフトパルス入力端子、VINが走査開始パルス入力端子、FA、FBはインターレス回路を駆動するための単一正電源値駆動信号である2相インターレスパルス入力端子、V3、V4は正の電源の電圧値より高い第2の電圧値を高レベルに持つ転送パルス印加端子、V3L、V4Lは高レベルが正の電源電圧値vccより高く第2の電圧値より低い第3の電圧値を高レベルに持つ前置転送パルス印加端子、SBはゲート2-2の駆動パルス印加端子、STは電荷蓄積ゲート2-3の駆動パルス印加端子、OGは出力ゲート2-4への直流電圧印加端子、RG、CP、SH1、SH2は、増幅手段を駆動するための正の単一電源駆動信号で、RGはリセットスイッチ12へのリセットパルス入力端子、CPはクランプスイッチ15へのクランプパルス印加端子、SH1、SH2はそれぞれ読み込みスイッチ16-1、16-2へのサンプルホールドパルス印加端子、VCは直流クランプ電圧入力端子、O1、O2は信号出力端子、H1、H2、HINは水平走査回路19を駆動するための正の単一電源駆動信号で、H1、H2が水平走査回路19の2相シフトパルス入力端子、HINが水平走査回路19の走査開始パルス入力端子である。水平走査回路19は特公昭62-045638号公報に記載の2相レシオレ

ス ダイナミック シフトレジスタからなる。なお、上記垂直電荷転送手段2の図中横実線は垂直電荷転送手段2を構成する電極の区切りを示し、垂直電荷転送手段は本願出願人が既に特開平03-60158で提案した単層電極構造からなる埋め込み型チャネル構造を有している。図2において、HBLは水平帰線期間を、 $\phi V1$ 、 $\phi V2$ 、 $\phi V3$ 、 $\phi V4$ 、 $\phi V3L$ 、 $\phi V4L$ 、 ϕTIN 、 $\phi T1$ 、 $\phi T2$ 、 ϕSB 、 ϕST 、 ϕRG 、 ϕCP 、 $\phi SH1$ 、 $\phi SH2$ 、 ϕHIN 、 $\phi H1$ 、 $\phi H2$ は、それぞれ図1の端子V1、V2、V3、V4、V3L、V4L、TIN、T1、T2、SB、ST、RG、CP、SH1、SH2、HIN、H1、H2に印加されるパルス電圧を示す。さらに、 $v1$ 、 vm はそれぞれ垂直電荷転送手段2の駆動パルスの低レベル電圧値と高レベル電圧値、 vh は正電源電圧値 vcc より高い第2の電圧値、 vhm は正電源電圧値より高く第2の電圧値より低い第3の電圧値を示し、 $\phi V1$ 、 $\phi V2$ 、 ϕTIN 、 $\phi T1$ 、 $\phi T2$ 、 ϕRG 、 ϕCP 、 $\phi SH1$ 、 $\phi SH2$ 、 ϕHIN 、 $\phi H1$ 、 $\phi H2$ の低レベルは接地電圧、高レベルが正電源電圧値 vcc である。なお、図2には図示はしていないが、図1のVIN、FA、FB端子の印加電圧も同様である。さらに、図1のOG端子には vm と $v1$ の中間の直流電圧、O1、O2端子には所定の直流バイアスが印加されている。また、VC端子とO1、O2端子の直流バイアスは、不用なオフセットの発生を防ぐために同一となっている。また、第2出力保持容量17-1、17-2に印加される電圧を下げるためこの直流バイアス電圧は0Vとする。一方、 s 、 $n1$ 、 $n2$ はそれぞれ、第1の信号電荷もしくは第2の信号電荷、第1の不要電荷、第2の不要電荷を転送する電位井戸をつくるために入力される端子T1に印加される走査開始パルスの時間間隔で、Tは端子T1、T2に2相シフトパルスの一水平ブランキング期間内の印加時間を示す。特開昭62-126383号公報と同様に、各時間間隔は2相シフトパルスの周期の整数倍の値を有し、 $T=2s+n1+n2$ の関係を満たす。さらに、 $\phi V3$ 、 $\phi V4$ 、 $\phi V3L$ 、 $\phi V4L$ が高レベルとなるタイミングは読みだし行により異なるが、水平ブランキング期間内にある。Ts1、Ts2は、それぞれ、増幅器入力端子リセット時の増幅器の第1出力を保持する第1出力保持容量14への第1出力書き込み時間、増幅器入力端子へ信号入力時の増幅器の第2出力と増幅器入力端子リセット時の増幅器の第1出力との差分値を保持する第2出力保持容量17-1、17-2への差分値書き込み時間、Tnは不要電荷の掃きだし時間である。なお、増幅手段を動作させるパルス電圧 ϕCP 、 $\phi SH1$ 、 $\phi SH2$ は、駆動手段を動作させるパルス電圧 $\phi T1$ 、 $\phi T2$ に同期しており第1保持容量14への第1出力の書き込み時刻と第2保持容量14への第2出力の書き込み時刻の $\phi T1$ 、 $\phi T2$ の第1、第2出力への飛び込み雑音の影響が緩和されている。さらに、端子T1、T2に印加されるタイミング発生手

段3の2相シフトパルスと端子H1、H2に印加される水平走査回路19の2相シフトパルスは同期した同一周波数のパルスであり、駆動信号発生の特略化を図っている。

【0034】以下、図1、図2を用い全体の動作を説明する。まず、端子T1、T2に2相シフトパルスを印加し端子TINに走査開始パルスを s 、 $n1$ 、 s 、 $n2$ の時間間隔で入力すると、タイミング発生手段3から発生されたタイミング信号から駆動パルス発生手段により低レベルを負値に持つ駆動パルスが駆動パルス線5に出力され、各垂直電荷転送手段2内に電位障壁で分離された複数の電極に渡る4種の電位の井戸が形成移動する。この4種の電位の井戸は、第1の信号電荷、第1の不要電荷、第2の信号電荷、第2の不要電荷を転送する。一方、端子V1、V2に2相シフトパルスを印加し端子TINに走査開始パルスを印加すると行選択制御手段7が各水平走査期間毎に順次隣接した n 行と $n+1$ 行の2行を同時に選択する。この2行の組みあわせは端子FA、FBに印加される2相パルスにより動作するインターレース回路によりフィールド毎に切り替わる。このようにして選択された2行の内第 n 行目の近傍に第1の信号転送用の電位の井戸が通過するときに端子V3LとV3に前置転送パルスと転送パルスを印加すると転送パルス発生手段7が第 n 行目の駆動パルス線5に正電源電圧より遥かに高い転送パルスを出力し、第 n 行の信号電荷をホットダイオード1から第1の信号電荷転送用の電位井戸に転送する。ついで端子V4LとV4に前置転送パルスと転送パルスを印加し同様に第 $n+1$ 行の信号電荷を第2の信号電荷転送用の電位井戸に転送する。他の2種の電位井戸にスミア電荷等の不要電荷が垂直電荷転送手段2内を電位井戸が移動するに従って蓄積されていく。一方、以上の3、4からなる駆動手段による垂直電荷転送手段2内の電荷転送と6、7からなる行選択手段の光電変換素子1から垂直電荷転送手段2への信号読みだしと並列に、垂直電荷転送手段2内の f から2-4と11から18よりなる増幅手段により、不要電荷のはきだしと信号電荷の出力が行なわれる。水平ブランキング期間の始まりには、まず、前行の第2の不要電荷がリセットスイッチ12からはきだされる。即ち、前行の第2の不要電荷を転送する電位井戸と第1の信号電荷を仕切る電位障壁がゲート2-2の直前に到達した後、端子SBの印加電圧 ϕSB を低くしゲート2-2をオフし、ついで、端子STの印加電圧 ϕST を低くすると、電荷蓄積ゲート2-3に蓄えられた前行の第2の不要電荷が出力ゲート2-4を経て増幅器11の入力端子に転送され、直ちにオン状態にあるリセットスイッチ12から増幅器11の出力端子にはきだされる。(図2時刻 $t1$)この後、第1の信号電荷による信号電圧の第1の第2出力保持容量17-1への書き込みが行なわれる。即ち、端子STの印加電圧 ϕST を再び高くし電荷蓄積ゲート2-4に電荷が蓄積できる状態にする。一方、時刻 $t1$ 以降、第1の

信号電荷を転送する電位井戸と第1の不要電荷を仕切る電位障壁がゲート2-2に向って移動し、第1の信号電荷は垂直電荷転送手段2の繰返し部最終電極fに集められる。この電位障壁が最終電極fに到達し最終電極f下チャンネル電位が低くなる前に端子S Bの印加電圧 ϕ S Bを高くしゲート2-2をオンする。次いで、最終電極fのチャンネル電位が低くなり、端子S Bの印加電圧 ϕ S Bを低くし再びゲート2-2をオフすると、第1の信号電荷を転送する電位井戸内を転送されてきた信号電荷が全て電荷蓄積ゲート2-3に転送保持される。この後、ゲート2-2は第1の信号電荷の第1の第2出力保持容量への書き込みが終了するまで開く事はなく、第1の不要電荷が第1の信号に混入する事はない。なお、最終電極fは他の電極に比べ電荷容量が大きく第1の信号電荷全てを蓄積することができる。一電極で蓄積容量が不足する場合には、 ϕ S Bを高くするタイミングを早め、垂直電荷転送手段2の繰返し部の複数電極に電荷を蓄積すれば良い。さらに、 ϕ S Tの高レベルを v_m より高い v_{cc} として、蓄積ゲート2-3の単位面積あたりに保持できる電荷量をふやして電荷蓄積ゲート2-3の長さをみじかくしてもよい。また、端子T 1、T 2に印加される2相シフトパルスの一水平ブランキング期間内の印加時間Tと、タイミング発生手段3の最終電極までの段数とを考慮して、端子T I Nに入力されるパルスの水平ブランキング内の位相を決定すれば、電位障壁の最終電極への到達時刻を所定の時刻に設定するのは容易である。(図2時刻t 2) 一方では、端子R Gの電圧 ϕ R Gを高くしてリセットスイッチ12をオフした後、T s 1時間後に端子C Pの印加電圧 ϕ C Pが低くなるとクランプスイッチ15が閉じ、増幅器11の入力端子リセット時の増幅器11の第1出力が第1出力保持容量14へ書き込まれ、この時刻以降の増幅器11の出力端子の電位変動が第1の第2出力保持容量17-1に伝達されることになる。また、この際、増幅器11の出力抵抗と第1出力保持容量14の容量により増幅器11の通過帯域は $1/T s 1$ 程度に小さく制限されている。(図2時刻t 3) この状態で、端子S Tの印加電圧 ϕ S Tを低くすると、電荷蓄積ゲート2-3に保持されていた第1の信号電荷が増幅器11の入力端子に転送される。(図2時刻t 4) この信号電荷は、増幅器11と帰還容量13により信号電圧に変換され、増幅器11の出力端子に電位変動を生じさせる。この電位変動、即ち、増幅器入力端子へ信号入力時の増幅器の第2出力と増幅器入力端子リセット時の増幅器の第1出力との差分値が、信号転送後T s 2時間後に端子S H 1の印加電圧 ϕ S H 1が低くなり信号書き込みスイッチ16-1がオフする事により、第1の第2出力保持容量17-1に書き込まれ保持される。また、この際、増幅器11の出力抵抗と第1出力保持容量14と第2出力保持容量17-1の直列容量により増幅器11の通過帯域は $1/T s 2$ 程度に小さく制限されている。以上のようにして、増幅器11の通過帯域をさげながら、リセットスイッチがオフする際に生じるリ

セット雑音と各増幅器の直流電圧のばらつきによる固定パターン雑音が除去された信号電荷による電圧変動を出力可能としている。(図2時刻t 5) 次いで、第2の不要電荷がリセットスイッチ12からはきだされる。即ち、端子S Tの印加電圧 ϕ S Tを再び高くし電荷蓄積ゲート2-4に電荷が蓄積できる状態にする。時刻t 2以降、第1の不要電荷を転送する電位井戸と第2の信号電荷を転送する電位井戸を仕切る電位障壁がゲート2-2に向って移動し、第1の不要電荷は垂直電荷転送手段2の繰返し部最終電極fに集められる。この電位障壁が垂直最終電極fに到達し最終電極f下チャンネル電位が低くなる前に端子S Bの印加電圧 ϕ S Bを高くしゲート8をオンする。次いで、最終電極fのチャンネル電位が低くなり、端子S Bの印加電圧 ϕ S Bを低くし再びゲート2-2をオフし、端子S Tの印加電圧 ϕ S Tを低くすると第1の不要電荷がリセットスイッチ12から増幅器11の出力端子にはきだされる。なお、最終電極fは他の電極に比べ電荷容量が大きく第1の不要電荷全てを蓄積することができる事は第1の信号の読みだし時と同様である。(図2時刻t 6) この後、時刻t 2からt 5の動作により、第2の信号電荷による信号電圧の第2の第2出力保持容量17-2への書き込みが行なわれる。(図2時刻t 7) 水平走査期間に入ると、水平走査回路19の端子H I Nに走査開始パルスが入力され、端子H 1、H 2に印加されている2相の駆動パルスによりこのパルスが水平走査回路内をシフトし順次信号読みだしスイッチ18-1、18-2がオンオフしn行の信号が端子O 1よりn+1行の信号が端子O 2より順次出力される。

【0035】本実施例によれば、第1に、タイミング発生手段3と駆動パルス発生手段4からなる駆動手段は垂直電荷転送手段2の一部に順次駆動パルスを出力しており負荷容量が小さく、行選択制御手段6と転送パルス発生手段7からなる行選択手段は一行に転送パルスを出力するので行選択手段の負荷容量も小さく、また、垂直電荷転送手段2からの信号電荷を11から18よりなる増幅手段で増幅した後水平走査回路により増幅手段の出力となる第2出力保持手段17-1、17-2を選択して出力しているので平走査回路の負荷容量も小さい。この結果、駆動手段の駆動パルス入力端子T 1、T 2、T I N、駆動パルス入力端子V 1、V 2、V I N、V 3 L、V 4 L、V 3、V 4、F A、F B、水平走査手段の駆動パルス入力端子S B、S T、R G、C P、S H 1、S H 2、H I N、H 1、H 2の負荷容量は水平もしくは垂直の一ラインのパルス線だけになり駆動パルスの立ち上がりによる速度制限はなく高速駆動ができる。

【0036】第2に、本実施例によれば、リセットスイッチ12がはきだしゲートと兼用されているので、はきだしゲートとはきだしドレインが不要となり、高集積化で転送効率の良い水平走査手段を提供できる。即ち、リセットスイッチ12がオフの時間T s 2内に、垂直電荷転送

手段2内に形成された第1の電位井戸により転送されてきた信号電荷が増幅器11の入力端子に転送され、電圧に変換され出力保持容量17-1もしくは17-2に保持される。一方、リセットスイッチがオンの時間 T_n 内に、垂直電荷転送手段2内に形成された第2の電位井戸により転送された不要電荷が、出力の終った信号電荷と共にリセットスイッチ12を経て素子外部に掃きだされる。出力保持容量17-1、17-2に保持された出力は水平走査回路19により選択され端子O1、O2から素子外部に出力される。このようにして、はきだしゲートとはきだしドレインが不要となるので、高集積化が可能となり、かつ、信号電荷と不要電荷が電荷転送経路で分かれる事がなくなり転送効率不良が起こる事はない。なお、この効果は、垂直電荷転送手段2の2-2から2-4からなる電荷転送制御部をなくし、垂直電荷転送手段の最終電極fに高レベル印加時の電極下電位を増幅器11の入力端子の電位より低くして、垂直電荷転送手段2から信号が転送される時にはリセットスイッチ12をオフし信号を出力し保持容量17-1もしくは17-2に保持し、垂直電荷転送手段2から不要電荷が転送される時にはリセットスイッチ12をオンして不要電荷をはきだしても同様に得られる。さらに、この際、第1出力保持容量14とクランプスイッチ15をなくしてもよい。

【0037】さらに、リセットスイッチ12からスミアのはきだしを行なう際、垂直電荷転送手段2が増幅器11の入力端子間に2-2から2-4からなる電荷転送制御部を備える事により、増幅器雑音低減効果を損なう事なく、充分な掃きだしによるスミア抑圧効果を得る事ができる。即ち、2-2から2-4よりなる電荷転送制御部は垂直電荷転送手段2内の複数電極にわたる第2の電位井戸内を分散して転送された不要電荷を垂直電荷転送手段2の最終電極fに集めた後、一括して増幅器11の入力端子に転送しリセットスイッチ12をへてはきだす。この結果、リセットゲート12をオンにする必要のある期間は最終電極fに集められた不要電荷をはきだすために必要な期間 T_n となり、他の全ての期間をリセットゲート12をオフし信号電荷を電圧に変換し保持容量17-1もしくは17-2にするための増幅器11の動作期間とできる。このようにして、リセットスイッチ12からはきだしを行なう際に、保持容量への書き込み時間 $T_{s1} + T_{s2}$ を長くし増幅器11の通過帯域を低くして増幅器雑音を低減すると共に、全シフト時間 T の中の時間 $n_1 + n_2$ の時間を長くしはきだしによるスミア抑圧効果を高める事ができる。さらに、2-2から2-4からなる電荷転送制御部は、垂直電荷転送手段2内の複数電極にわたる第1の電位井戸内を分散して転送された信号電荷を垂直電荷転送手段2の最終電極fに集めた後、一括して増幅器11の入力端子に転送している。この結果、信号電荷は増幅器11の入力端子には第1の電位井戸内の移動に必要な時間 s より短時間で入力でき、増幅器11の通過帯域を制限しても、充分な信号電圧を得る事ができ

る。なお、以上の効果は、電荷転送制御部をゲート2-2だけで構成し、かつ、端子SBに印加される電圧の高レベルを v_m から図1の出力ゲート2-4への印加電圧に等しい値にするか、もしくは電荷転送制御部を出力ゲート2-4だけで構成し、 ϕ_{CP} のオフする時刻を時刻 t_2 より前にすれば同様に得られる。

【0038】さらにまた、電荷転送制御部をゲート2-2と電荷蓄積ゲート2-3と出力ゲート2-4で構成する事により、リセット雑音や増幅器の直流電圧のばらつきによる固定パターン雑音の除去を行なう際に、増幅器の通過帯域の低減効果を向上できる。即ち、電荷蓄積ゲート2-3と出力ゲート2-4がなくゲート2-2だけの場合もしくは出力ゲート2-4だけの場合には不要電荷の混入や信号電荷の読み残しを防ぐために第1出力保持容量14の書き込み時間 T_{s1} が時間 s と同一にならざるを得ない。一方、スミアはきだしによるスミア抑圧効果を高めるためには時間 s を短くしなければならない。この結果、第1保持容量14への増幅器入力端子リセット時の増幅器出力の書き込み時間が短くなり、書き込みの時の増幅器の通過帯域を大きくせざるを得ず、増幅器雑音が大きくなる。これに対し、本実施例では、電荷転送制御部をゲート2-2と電荷蓄積ゲート2-3と出力ゲート2-4で構成する事により、第1の電位井戸で転送されてきた信号電荷を電荷蓄積ゲート2-3に一時保持した後、増幅器入力端子に転送している。この結果、第1出力保持容量14の書き込み時間 T_{s1} を時間 s と同一とする必要がなく、 T_{s1} を長くし増幅器雑音を低減できる。

【0039】なお、本実施例では、増幅器雑音を低減しつつリセット雑音や増幅器の直流電圧のばらつきによる固定パターン雑音の除去を、増幅器入力端子リセット時の増幅器の第1出力を保持する第1出力保持容量14と第1出力保持容量に保持された第1出力と増幅器入力端子への信号電荷入力時の上記増幅器の第2出力との差分値を保持する第2出力保持容量17-1、17-2と第2出力保持容量に保持された差分値を選択して出力する水平走査回路19で行なったが、本実施例で述べた効果は具体的回路方式によらず実施できる。即ち、特開昭6f85471号公報にて本発明者が提案を行なったもう一つの回路形式、増幅器11の入力端子がリセットされた後の増幅器出力と信号電荷が有る時の増幅器出力をそれぞれ独立の保持容量に保持した後水平走査を行ない素子内部あるいは素子外部に設けられた差動器により差分処理を行なっても同様に得られる。さらに、以上述べた回路方式の具体的形態は例えば、特開昭64-39880号公報、特開平4-32379号公報、特開平5-500891号公報等に記載されたもの等様々なものがあるが、同様に本発明は実施できる。

【0040】第3に、本実施例によれば、図14の従来例と同様に垂直電荷転送手段2の中に複数の信号電荷を遅延させる複数の分離された電位井戸を形成し、かつ、各垂直電荷転送手段2毎に複数の増幅器出力保持容量17-1、17-2

を設ける事により増幅器の通過帯域を下げ増幅器雑音を低減しつつ2行同時独立読みだしを実現できる。

【0041】なお、本実施例では、いままで述べた帯域制限は、増幅器11の出力抵抗と第1出力保持容量14もしくは増幅器11の出力抵抗と第1出力保持容量14と第2出力保持容量17-1、17-2の直列容量により行なわれているが、他の方法を用いてもよい。即ち、クランプスイッチ15と信号書き込スイッチ16-1、16-2のオン抵抗を大きくすることにより増幅器出力の低周波成分だけを通過させる様にしても良いし、特開昭62-185471号公報で本発明者が提案した電荷転送型の低域フィルタを増幅器11と第1出力保持容量14の間に設ける様にしても良い。さらに、クランプスイッチ15と信号書き込スイッチ16-1、16-2のチャンネルに誘起される電荷が各スイッチが閉じる時に信号に混入する事により生じる固定パターン雑音が問題となる時には、特開平02-224481で本発明者が提案した様に各スイッチの高インピーダンスとなる端子側に直列に高抵抗を設けチャンネル電荷を信号に混入させない様にすれば良い。この高抵抗は、ゲートに直流電圧の印加されたMOSトランジスタやノンドーパシリコンで構成される。また、水平方向の画素数と同数の増幅器11が並列に動作する為に消費電力が問題となる時には、特開平1-279681号公報で本発明者が提案した様に水平帰線期間期間だけに増幅器を動作させる様にすれば良い。この時第1出力保持容量に不要な電圧が印加されない様に増幅器11の非動作期間の出力は0Vになる様に増幅器11に印加されるバイアス電圧をパルス動作する。例えば、増幅器が周知のカスコードアンプからなる時には、ドライバ側のpMOSカスコードMOSのゲート電圧をV_{cc}とすればよい。更に、増幅器11の並列動作により増幅器11の接地線もしくは電源線に大電流が流れ電圧降下により、シェーディング等の擬信号が発生する場合には、特開平1-243462号公報で本発明者が提案した様に各増幅器毎に電源線を基板と接続し、接地線を遮光膜と接続することにより、接地線と電源線の抵抗を下げればよい。また、増幅器11のドライバに本発明者が特開昭63-318874号公報、特開平2-224480、特開平2-224481で提案した様なリセット雑音の発生しない入力端子が空乏化した素子を用いてより一層の低雑音化を図っても良い。

【0042】第4に、本実施例では、以下の3点の理由により増幅器の電源電圧を下げ増幅手段の低消費電力化低電圧化ができる。第1に、増幅器入力端子に接続するゲート2-2と電荷蓄積ゲート2-3と出力ゲート2-4を設け、かつ、垂直電荷転送手段2内の出力ゲート2-4の直前の転送電極である電荷蓄積ゲート2-3を低レベルが負値の駆動パルスで駆動することにより、増幅器11の入力端子電圧を低くでき、増幅器11の電源電圧を下げられる。即ち、電荷蓄積ゲート2-3の印加電圧の低レベルは電極下にチャンネル層と反導電型の反転層を誘起する負値電圧であるので、電荷蓄積ゲート2-3に低レベル電圧が印加さ

れた時のチャンネル電圧をチャンネルが取り得る最低の電圧とできる。更に、周知の様に、出力ゲート2-4を設ける事により、（出力ゲート2-4の直前の転送電極に低レベルを印加したときのチャンネル電圧）＜（出力ゲート2-4のチャンネル電圧）＜（増幅器11の入力端子のリセット電圧値）という関係を満たす事により電荷転送ができる。従って、増幅器11の入力端子電圧を低くでき、増幅器11の電源電圧を下げられる。なお、先に述べた電荷転送制御部が高レベルが出力ゲート2-4と同じパルスで駆動されるゲート2-2だけで構成される場合、もしくは従来のインターライン型CCDと同様に直流電圧の印加された出力ゲート2-4だけで構成される場合には、3、4からなる駆動手段を低レベルが電極下にチャンネル層と反導電型の反転層を誘起する負値電圧を持つ駆動パルスで駆動すれば同様の効果が得られる。第2に、信号電荷が垂直電荷転送手段2の複数の電極にわたり形成される電位井戸内を転送されるので、チャンネル濃度を低くし出力ゲート2-4の直前の転送電極に低レベルを印加したときのチャンネル電圧を低くでき、さらなる低電圧化が可能になっている。第3に、信号電荷の電圧への変換を11から13よりなる容量帰還型電荷電圧変換器で構成する事により、一層の低電圧化を実現している。即ち、増幅器11は高利得の反転増幅回路で構成されており、その入出力端子間には帰還容量13が設けられているので、増幅器11の入力端子は仮想接地点となり、信号電荷が入力されても電圧変動は起こらない。以上の3点の結果、電荷転送に悪影響を及ぼすことなく増幅器11の電源電圧を下げ増幅手段の低消費電力化低電圧化ができる。更に、増幅器11の電源は正電源電圧値を持ち、電源数の減少を実現している。また、信号電荷による電圧変動は高々1から2V程度なので増幅器11を通例のインターライン型CCD撮像素子で行なわれている様にソースフォロワー回路で構成し、帰還容量13をなくし、リセットスイッチを正電源に接続されたnMOSとしても第1と第2の効果により低電圧化は可能である。

【0043】一方、11から13よりなる容量帰還型増幅器によれば、電荷電圧の変換係数は増幅器11の入力端子に付随する寄生容量によらず帰還容量値だけで決り、帰還容量を高精度に形成する事により、電荷電圧変換係数のばらつきによる固定パターン雑音を低減できる。更に、増幅器11を構成する増幅器入力端子にゲートの接続されたドライバとリセットスイッチを信号電荷と極性の逆のPMOSで構成する事により、特開昭63-294182号公報に記載の様に増幅器のダイナミックレンジ向上が図れる。

【0044】なお、本実施例では、説明を簡単にするため図14に述べたスミア差動は実施していない。もちろん、垂直電荷転送手段2の中にスミア差動用のもう一つの分離された電位井戸を形成し、各垂直電荷転送手段2毎にスミア電荷保持用の第3の第2出力手段を設けること

により、垂直電荷転送手段2内にあるスミア等の疑似信号と疑似信号の混入した信号を各水平走査期間ごとに独立に出力した後、2信号の差分処理により真の信号を検知して、スミア差動を行ない、スミアを更に低減できる。また、既に本発明者が特開昭62-185471号公報に提案したクランプ回路の様な差動手段を増幅器11ごとに設け、差動処理後の真の信号を水平走査してもよい。更に、スミア差動に伴うランダム雑音の増加が問題となる場合には、スミア電荷を転送する電位井戸の形成されている段数 m_s を、信号電荷を転送する電位井戸の形成されている段数 m_1 、 m_2 より大きくすることにより、スミア信号だけを取り出す場合のスミア電荷量を信号に混入するスミア電荷量より多くすることにより、スミア差動に伴うランダム雑音の増加を防ぐことができる。

【0045】また、本実施例では、駆動信号発生手段3の2相シフトパルスと端子H1、H2に印加される水平走査回路19の2相シフトパルスは同期した同一周波数のパルスとした。しかし、3、4からなる駆動手段は一水平行の垂直電荷転送手段の電極を駆動しており、水平走査回路より負荷容量が大きい。この結果、垂直電荷転送手段2の電荷転送の転送効率が劣化する等の問題が生じる時には、タイミング発生手段3の2相シフトパルスを水平走査回路19の2相シフトパルスの周波数より低くすれば良い。この際、図2に示した $\phi T1$ 、 $\phi T2$ と $\phi H1$ 、 $\phi H2$ のオーバーラップ部分がないようにすれば、増幅器11の通過帯域は端子O1、O2に順次出力される映像信号出力の帯域以下なので、タイミング発生手段3の2相シフトパルスを映像信号帯域以下にしても何等問題は生じない。

【0046】以上、本発明の全体構成を図1の実施例に即し述べたが、本発明は以下の変形が可能である。

【0047】垂直電荷転送手段の一水平行の電極を結ぶ駆動パルス線に垂直電荷転送のための駆動パルスを順次供給する駆動手段と、該光電変換素子の信号電荷を光電変換素子の信号電荷を一水平行ずつ該垂直電荷転送手段に転送するための転送パルスを該光電変換素子の一水平行毎に設けられた転送パルス線に供給する行選択手段と、上記垂直電荷転送手段の出力端子毎に設けられた増幅器と該増幅器の入力端子に接続されたリセットスイッチを有する増幅手段と、該増幅手段の出力を選択して出力する水平走査回路からなる水平走査手段とを備える事により駆動手段、行選択手段、水平走査手段の駆動パルスの立ち上がりによる速度制限を解消し素子の全ての部分の高速駆動が可能として、超高精細撮像素子の様な高速駆動素子を実現する事は、駆動手段、行選択手段、水平走査手段が上記特徴を持てばその具体的な形態によらず実施できる。例えば、図14で示した従来技術の駆動手段と選択手段を用いても良い。更に、行選択手段、水平走査手段がランダムアクセスのできるデコーダで構成され

ても良い。また、水平走査手段内の増幅手段は既に述べた様な変形が可能であり、保持容量を用いない特開昭62-122372号公報に記載された増幅器の直流電圧のばらつきによる固定パターン雑音の除去回路を使用しても良い。さらに、垂直電荷転送手段が電荷制御部を持たなくてもよい。

【0048】また、水平走査手段を、垂直電荷転送手段の出力端子毎に設けられた増幅器と該増幅器の入力端子に接続された不要電荷のはきだしゲートと兼用されたり
10 セットスイッチと増幅器の出力を保持する出力保持容量を有する増幅手段と、出力保持容量に保持された出力を選択して出力する水平走査回路とで構成する事により、はきだしゲート132とはきだしドレイン133をなくし、高集積で転送効率不良が起らない水平走査手段を実現する事は、駆動手段が垂直電荷転送手段内に信号電荷を保持しつつ転送するための第1の電位井戸と上記垂直電荷転送手段内に流入するスミア電荷等の不要電荷を保持しつつ転送するための上記垂直電荷転送手段の複数電極に渡る第2の電位井戸を同時に形成させ、増幅手段が少なくとも一つの保持容量を持てば、駆動手段、行選択手段、水平走査手段の具体的な構成やその駆動方法によらず
20 実施できる。例えば、駆動手段や行選択手段は本発明と同様だが信号電荷が一電極下に限定された特開昭57-78167号公報に記載された素子、行選択手段が図1と同様に一水平行を選択するものであるが、駆動がインターライン型CCDと同様の多相の外部パルスにより行なわれる特開昭60-247382号公報、特開昭62-230270号公報、特開昭63-62480号公報、特開昭64-54879号公報記載の素子で実施できる。さらに、図1と同じ様に駆動手段が順次駆動パルスを供給するものであるが、選択手段が通例のインターラインCCDと同様に垂直電荷転送素子への転送を一括して行なう特開昭62-237871号公報、特開平4-286282号公報に記載の素子でも実施できる。また、図14で示した従来技術の駆動手段と選択手段を用いても良い。更に、行選択手段、水平走査手段がランダムアクセスのできるデコーダで構成されても良い。また、水平走査手段内の増幅手段は先に述べた様な変形が可能である。さらに、垂直電荷転送手段が電荷転送制御部を持たない場合にも実施できる。

【0049】以上、本発明の全体構成を説明したが、以下ではタイミング発生手段3と駆動パルス発生手段4から構成される駆動手段の4つの実施例の詳細な回路構成と動作を図3から図6を用いて、また、行選択制御手段6と転送パルス発生手段7から構成される行選択手段の2つの実施例の詳細な回路構成と動作を図7と図8を用いて説明し、図9から図13により以上の回路に用いられるデバイスの構造について説明する。

【0050】(2) 駆動手段

(1) 駆動手段の第1の実施例

図3(a)は、タイミング発生手段3と駆動パルス発生手

段4からなる駆動手段の第1の実施例の回路構成図、同図 (b) は同図 (a) の回路の駆動パルスタイミング図である。図 (a) 中21はタイミング発生手段3を構成する単一の正電源で動作する従来と同様の2相レシオレスダイナミック シフトレジスタである。シフトレジスタ21の中の実線は1段の区切りを示し、本実施例では一行毎に一段が設けられている。20、22から29により負値の電圧を低レベルに持つ駆動パルスを駆動パルス線に供給する駆動パルス発生手段4が構成され、破線内が駆動パルス発生手段4の一行毎にもうけられた回路部分を示す。20、22、23、27でタイミング信号の低レベルを負値にシフトする前置駆動パルス電圧変換器が構成され、20が配列の外に設けられ図1に示した行選択制御手段6の端子VINに印加される単一正電源値の走査開始パルスの低レベルを負値にシフトする走査開始パルス電圧変換器20である。走査開始パルス電圧変換器20は例えば図5に示す41から43からなる電圧変換器でバッファ nMOS 41をなくしてPMOS 42のソースとなるc点に端子VINを接続する。また、22-1、22-2はタイミング信号を伝達するための第1と第2の結合容量、23-1、23-2はバイアス電圧設定スイッチ、27は駆動パルスの低レベル電圧を供給する負電源線である。また、24から27で負値の駆動パルスを駆動パルス線に供給するドライバが構成され、25は駆動パルスの高レベル電圧を供給する電源線、24は負電源線27の電圧を駆動パルス線5に伝えるための第1のスイッチ、26は電源線25の電圧を駆動パルス線5に伝えるための第2のスイッチである。28は高耐圧化MOSトランジスタ、29はシフトレジスタ21を駆動する単一の正電源駆動信号と同じ電圧値を持つ正電源線、5は駆動パルス線である。また、T1、T2、TIN、VIN、VL、VM、Vcc、GNDは図1と同様である。なお、更にまた、 ϕ_n 、 ϕ_{n+1} はシフトレジスタ21のn行、n+1行出力を示す。一方、図3 (b) において、v1、vm、vccは図2と同じである。fcはシフトレジスタ21の2相シフトパルスのシフト周波数、tfは駆動パルス線電圧の立ち下がり時間、trは駆動パルス線電圧の立ち下がり時間である。以下、動作を説明する。

【0051】垂直帰線期間内に端子VINに行選択制御手段6の走査開始パルスがシフトレジスタ21に入力されると全段の出力が接地電圧にリセットされる。この時、同時に走査開始パルス電圧変換器20からの出力パルスにより、バイアス電圧設定スイッチ23-1、23-2がオンし、第1と第2のスイッチ24、26のゲート端子電圧が端子VLに印加されている負電圧値v1に設定され、第1と第2のスイッチ24、26がオフし、各行の駆動パルス線5はフローティング状態になる。次いで、スイッチ23-1、23-2がオフし、第1と第2のスイッチ24、26のゲート端子電圧は負電圧値v1に保持される。この後、2相シフトパルスが端子T1、T2に印加されている状態で1つめの走査開始パルスがTINに印加されると、2相シフトパルス

の周波数fcの逆数の時間間隔でパルスがシフトレジスタ21内をシフトしていく。このパルスがn行目に到達しシフトレジスタ21のn行目出力 ϕ_n が接地電圧から正電圧vccになると、第1の結合容量22-1介して、第1のスイッチ24のゲート端子が負電圧値v1から正方向に変化し、スイッチ26がオンし、n行の駆動パルス線5の電圧はvmから負電源線27に印加された負電圧値v1に立ち下がる。(図3 (b) 時刻t1) 次いで、 $1/2 f_c$ 時間後には、n行目の出力 ϕ_n が接地電圧になり、第1のスイッチ24のゲート端子電圧は再びv1となり、スイッチ24がオフし、n行の駆動パルス線5の電圧は負電圧値v1に保持される。(図3 (b) 時刻T2) 更に、 $1/f_c$ 時間後に、n+1行目出力 ϕ_{n+1} が接地電圧から正電圧vccになると、第2の結合容量22-2を介して、第2のスイッチ26のゲート端子電圧が負電圧値v1から正方向に変化し、スイッチ26がオンし、n行の駆動パルス線5の電圧はv1から電源線25に印加されたvmに立ち上がる。(図3 (b) 時刻t3) $3/2 * 1/f_c$ 時間後にn+1行目 ϕ_{n+1} が接地電圧になると、第2のスイッチ26のゲート端子電圧は再びv1となり、スイッチ26がオフし、n行の駆動パルス線5の電圧はvmに保持される。(図3 (b) 時刻t4) この状態は次ぎの走査開始パルスがn行目に到達するまで保持される。以上の動作が各走査開始パルスに対し行なわれ、垂直電荷転送手段2内に所望の電位井戸が形成される。後述する行選択手段の動作により発生した転送パルスを駆動パルス線5に印加する事により、信号はホットダイオードからこのようにして形成された電位の井戸に転送される。n行目の転送パルスは、第1のスイッチ24と第2のスイッチ26が共にオフ状態にある、n行目の信号を転送するための電位井戸を形成するための第1の走査開始パルスがn行目に到達した後の図3 (b) のt3以降以降で、第2の走査パルスがn行目に到達するまでの時刻までの間に印加される。この際、転送パルスが図3 (a) の駆動パルス線5に図の左側から印加されると、第1のスイッチ24と第2のスイッチ26の駆動パルス出力点Aの電圧もvmから転送パルスの高レベル電圧値に向って上昇する。しかし、高耐圧化MOSトランジスタ28のゲート端子電圧はvccに固定されているので、A点電圧はvcc-vthd以上に上昇する事はない。ここに、vthdはトランジスタ28を構成する図11のデプレッション型nMOSのしきい電圧である。従って、転送パルスの高レベルとv1もしくはvm間の電圧は、高耐圧化MOSトランジスタ28と第1のスイッチ24もしくは第2のスイッチで分圧され各トランジスタのソースドレイン間に印加される。

【0052】本実施例によれば、第1に、タイミング発生チップから単一正電源値駆動信号が端子T1、T2、TINに印加されると、シフトレジスタ21がn行、n+1行にタイミング信号となる ϕ_n 、 ϕ_{n+1} を出力する。このタイミング信号と、負電源入力端子VLに印加された

負電源とから、20、22から29からなる駆動パルス発生手段が低レベルが負値の電圧値を低レベルに有する駆動パルスを駆動パルス線5に供給する。この結果、シフトレジスタ21内の比較的大きなパルス線を駆動する2相シフトパルスを発生するドライバが不要になり、撮像装置の低消費電力化が可能となるという効果を有する。なお、前置駆動パルス電圧変換器20を設けず外部から負値パルスをバイアス設定スイッチ23-1、23-2に与えるようにしても、バイアス設定スイッチ23-1、23-2は一フィールドに一回動作するだけなので、撮像装置の低消費電力化という効果には変りはない。

【0053】また、端子VMに印加されている駆動パルスの高レベル電圧を通例のインターライン型CCDで行なわれている様に接地電圧とすることにより、駆動手段を動作させるための電源数を低減でき、端子VMと端子GNDは共通化できる。

【0054】さらに、通例、単一正電源で動作する微細なnMOSが形成されるpウェルには、基板効果係数の低減、フィールドの寄生MOSのしきい電圧の確保、接合容量の低減のため負値のバックバイアスvbbが印加される。このバックバイアス電圧と、端子VLに印加されている駆動パルスの低レベル電圧を等しい値にして、駆動手段を動作させるための電源数を低減し、端子VLをバックバイアス印加端子（図示せず）は共通としてもよい。

【0055】以上述べた2つの電源数低減を本実施例で実施する事により、駆動手段の全てを、単一の正電圧値を持つ駆動信号と、駆動信号と等しい電圧値を持つ正電源並びに一負電源とにより駆動できる。第2に、本実施例によれば、シフトレジスタ21の出力φn、φn+1に基づき第1のスイッチ24と第2のスイッチ26をオンオフし、負電源線27に印加された負電圧と電源線25に印加された駆動パルスの高レベル電圧を切り変える事により、駆動パルスを駆動パルス線5に発生させているので、駆動パルス線5は駆動パルスの立ち上がり期間tf、立ち下がり期間trを除く全ての期間でフローティング状態となる。従って、走査開始パルスの印加時間間隔を駆動パルスのシフト周期のn倍とし、転送パルスの印加時間をこの時間間隔以下の充分な時間に設定すれば、貫通電流が流れることによる消費電力の増加や、残像の発生もなく、駆動パルス線と転送パルスの共通化し、画素部を高集積化できるという効果を有する。

【0056】第3に、本実施例によれば、ゲート端子電圧がvccに設定された高耐圧化MOSトランジスタ28により、駆動パルス線5と負電源線27間の転送パルスの高レベル電圧vhと負電圧vlの電圧もしくは駆動パルス線5と電源線5間の転送パルスの高レベル電圧vhと電圧vmの電圧は、高耐圧化MOSトランジスタ28と第1のスイッチ24もしくは第2のスイッチで分圧され各トランジスタのソースドレイン間に印加されるので、駆動パ

ルス発生手段の高信頼度化を図れるという効果がある。しかも、トランジスタ28のしきい電圧を負としそのゲートに正電圧vccが印加されているので、駆動パルスの駆動線5への印加速度への影響は少なくできる。

【0057】なお、本実施例では一行毎にシフトレジスタ21の一段を設けたが、シフトレジスタ21の各段から2相シフトパルスの双方に同期して180度位相のずれたパルスを出力させ、この双方をタイミング信号として用いて、2行にシフトレジスタ21の1段を設ける様にして、シフトレジスタ21を構成する素子数を1/2にしてもよい。

(v) 駆動手段の第2の実施例

通例のインターライン型CCDでは、2次元状に配置されたホトダイオード1と垂直電荷転送手段2をpウェル内に形成し、n基板に正電圧を行なう事によりホトダイオードの過剰電荷を排出している。しかし、オーバーフローのための電圧が与えられる基板電圧は基板濃度等のばらつきにより各チップでばらつく。この結果、n基板上にpMOSを直接形成するとそのバックバイアスがチップ毎に変化することになるため、pMOSを用いた回路にはこの変化を考慮した裕度をとらなくてはならないという課題が生じる。第1の実施例において用いた2相のレシオレスダイナミックシフトレジスタはウェル内に形成されたnMOSだけで構成されるため、以上述べた課題は存在しない。しかし、n行の出力φnが2相シフトパルスの内片方に同期して出力されるため、第1の実施例の構成では駆動パルスのtf、trをシフトレジスタシフト周期1/fcの1/2程度にしかできず、fcが高い場合に駆動パルスの振幅が低下する。一方、特開昭61-157188号公報、特開昭61-214871号公報に記載されたパルス幅伸長器は、伸長のために必要なスイッチの数が多く、高集積化が困難である。本実施例は、以上の課題を解決するために、タイミング発生手段を2相ダイナミック型シフトレジスタと、第1のシフトレジスタの出力によりオンし正電源線と出力を接続する第1のスイッチと該第1の出力よりシフト周期の1/2のN倍（Nは2以上の整数）だけ遅れたシフトレジスタの第2の出力によりオンし接地線と出力を接続する第2のスイッチからなるパルス幅伸長器で構成したものである。図4(a)は、タイミング発生手段3と駆動パルス発生手段4からなる駆動手段の第2の実施例の回路構成図、同図(b)は同図(a)の回路の駆動パルスタイミング図である。図(a)で破線内がタイミング発生手段3の一部を構成するパルス幅伸長器の一行分の回路と駆動パルス発生手段4の一行毎にもうけられた回路部分を示す。図4(a)中21から33によりタイミング発生手段3が構成され、21は図3(a)と同様、29から33でパルス幅伸長器が構成され、30、31はスイッチ、32はバイアス設定用スイッチ、33は接地線である。また、20、22から29は図3(a)と同様で駆動パルス発生手段を構成する。5、T1、T2、TIN、VIN、VL、VM、Vcc、GNDは図3(a)と同様

である。更にまた、 ϕn 、 $\phi n+1$ 、 $\phi n+2$ 、 $\phi n+3$ はシフトレジスタ21の n 行、 $n+1$ 行、 $n+2$ 行、 $n+3$ 行出力を示す。一方、図4(b)において、 $v1$ 、 v_m 、 v_{cc} 、 f_c 、 t_f 、 t_r は図3(b)と同様である。以下、駆動パルスの t_f 、 t_r をシフトレジスタシフト周期 $1/2f_c$ 以上にするための動作を説明する。

【0058】第1の実施例と同様に、垂直帰線期間内に端子VINに行選択制御手段6の走査開始パルスがシフトレジスタ21に入力されると全段の出力が接地電圧にリセットされるとともに、走査開始パルス電圧変換器20からの出力パルスにより、バイアス電圧設定スイッチ23-1、23-2がオンし、第1と第2のスイッチ24、26のゲート端子電圧が負電源線27に印加された負電圧値 $v1$ にリセットされる。これと同時に、端子VINに印加された行選択制御手段6の走査開始パルスによりバイアス設定用スイッチ32がオンし、結合容量22-1、22-2の他端子Bも接地線33に印加された接地電圧にバイアスされる。この後、 n 行目の出力 ϕn が接地電圧から v_{cc} になると、スイッチ30がオンし端子Bの電圧が接地電圧から上昇し、(図4(b)時刻 $t1$)次いで、 $n+1$ 行目の出力 $\phi n+1$ が v_{cc} になると、スイッチ31がオンし端子Bの電圧が接地電圧になる。(図4(b)時刻 $T2$)このようにして端子Bに発生した $1/f_c$ の幅を持つ第1のタイミング信号により、スイッチ24がオンし、 n 行の駆動パルス線電圧は $1/f_c$ の時間内に v_m から $v1$ に立ち下がる。この後、同様にして、 $\phi n+2$ と $\phi n+3$ から第 $n+2$ 行目のパルス幅伸長器により、 $1/f_c$ の幅を持つ第2のタイミング信号が発生し、(図4(b)時刻 $t3$ から $t4$)第2のスイッチ26がオンし、 n 行の駆動パルス線電圧は $1/f_c$ の時間内に $v1$ から v_m に立ちあがる。

【0059】本実施例によれば、第1に、2相のレシオレスダイナミックシフトレジスタ21と2つスイッチ30、31で構成されるパルス幅伸長器を設けることにより、タイミング発生手段にpMOSを用いる事なく、また、集積度を損なう事なく、駆動パルス線の駆動パルス電圧の立ち上がり立ち下がり時間を $1/f_c$ にする事ができ、シフトレジスタの高速走査を行なっても、充分な立ち上がり立ち下がり特性を得る事ができる。

【0060】第2に、本実施例によれば、 n 行目の駆動パルス線電圧を立ち下げるタイミング信号を発生するパルス幅伸長器と $n+2$ 行目の駆動パルス線電圧を立ち上げるタイミング信号を発生するパルス幅伸長器を共用化する事により、パルス幅伸長器を構成するトランジスタ数を減らせるという効果がある。

【0061】なお、本実施例では、タイミング信号を $1/f_c$ に伸長した例を示したが、シフトレジスタのシフト周期の $1/2$ の N 倍(N は2以上の整数)のパルス幅であれば、任意の幅であればよい。シフトレジスタのシフト周期の非整数倍のパルス幅を得るためには、実施例の様にシフトレジスタの2相シフトパルスの片方に同期した出

力だけを用いるのではなく2相シフトパルスの双方に同期する出力も用いればよい。

【0062】以上、本実施例で図1の電荷転送手段2の駆動パルスを発生するために用いた、2相ダイナミック型シフトレジスタと、シフトレジスタの第1の出力によりオンし正電源線と出力を接続する第1のスイッチとシフトレジスタの第2の出力によりオンし接地線と出力を接続する第2のスイッチからなるパルス幅伸長器を有するタイミング発生手段は、2つのトランジスタを付加するだけで、nMOSからなる2相のダイナミックシフトレジスタシフトを用いシフト周期の $1/2$ の N 倍(N は2以上の整数)のパルス幅を持つ発生できるという効果を有し、広く実施できる。

【0063】(ハ)駆動手段の第3の実施例

第1、第2の実施例では、前置駆動パルス電圧変換器内の結合容量22-1、22-2によりタイミング信号の低レベル電圧を負値にシフトした前置駆動パルスを発生し、これにより第1と、第2のスイッチ24、26を駆動している。このような容量結合による低レベル電圧を負値にシフトする前置駆動パルスの発生方法は、以下の3つの課題を有する。第1に駆動パルス線5の電圧を制御する第1と第2のスイッチ24、26のゲート端子がほとんどの期間フローティング状態にあるため、ノイズにより各スイッチがオンし駆動パルス線電圧に不用の電圧変化もたらす場合がある。第2に第1と第2のスイッチ24、26のゲート端子の電圧振幅は前置駆動パルスの電圧振幅 v_{cc} 以下であり、第1と第2のスイッチ24、26の駆動パルス線の駆動能力が低い。第3に、バイアス電圧設定スイッチ23-1、23-2に低レベルを負値とするパルスを印加しなければならず、単一正電源値駆動信号の走査開始パルスの低レベルを負値にシフトするための走査開始パルス電圧変換器20を必要とする。本実施例は、前置駆動パルス電圧変換器をタイミング発生手段の正電圧出力パルスをソースに入力する負のしきい電圧値を持つPMOSトランジスタと、PMOSのドレインをドレインとし上記負の電源線をソースとし常時オン状態にあるnMOSトランジスタを構成する事により以上の課題を解決するものである。図5は、タイミング発生手段3と駆動パルス発生手段4からなる駆動手段の第3の実施例の回路構成図である。図5で破線内がタイミング発生手段3の一部をなすパルス幅伸長器と駆動パルス発生手段4の一行分の回路を示す。図中21、29から31、33は図4(a)と同様でタイミング発生手段を構成する。41から43、24から28により駆動パルス発生手段が構成され、41から43で前置駆動パルス電圧変換器が構成され、41はパルス幅伸長器の出力保持するためのバッファnMOSトランジスタ、42はPMOSトランジスタ、43は負のしきい電圧値 v_{thd} を持ち常時オンしているnMOSトランジスタで、24から28は図4

(a)と同様である。5、T1、T2、TIN、VIN、VL、VM、Vcc、GND、 ϕn 、 $\phi n+1$ 、 ϕn

+2、 $\phi n+3$ は図4(a)と同様である。以下、本実施例における低レベル電圧を負値にシフトした前置駆動パルスの発生のための動作を説明する。本実施例ではPMOS42のゲートが接地され、PMOSのしきい値電圧が負なので、タイミング信号を発生するパルス幅伸長器の出力が接地電圧の時にはPMOS42はかならずオフしている。即ち、パルス幅伸長器の出力が接地電圧の時にはバッファnMOS41がオフし、正電圧がPMOS42のソースとなるC点がPMOSがオンする正電圧になる事はないからである。従って、パルス幅伸長器の出力が接地電圧の時には負電源線27をソースとし常時オン状態にあるnMOS43を介して、第1のスイッチ24のゲート端子には負電源線27の負電圧値が印加される。一方、パルス幅伸長器の出力が正電圧になると、まず、バッファnMOS41がオンし、C点電圧にはパルス幅伸長器の出力よりバッファnMOS41のしきい値電圧分だけ低い電圧が印加される。この結果、PMOS42がオンし、第1のスイッチ24のゲート端子が正電圧となる。この後、パルス幅伸長器の出力が再度接地電圧になると、バッファnMOS41がオフし、オン状態にあるnMOS43により第1のスイッチ24のゲート端子が負電源線27に印加された負電圧値になる。以上のようにして、タイミング信号の低レベルを負値にシフトした前置駆動パルスを発生している。

【0064】本実施例によれば、41から43からなるパルス電圧変換器で前置駆動パルス電圧変換器を構成する事により、パルスタイミング信号の低レベルを負値にシフトした前置駆動パルスを発生する際に、駆動パルス線5の電圧を制御する第1と第2のスイッチ24、26のゲート端子がフローティング状態になることがなく、駆動パルス線電圧に不用の電圧変化が発生する事はない。また、第1と第2のスイッチ24、26のゲート端子の電圧振幅は $v_{cc}-v_{l-2v_{th}}$ 程度となり、タイミング信号の電圧振幅 v_{cc} 以上にできる。さらに走査開始パルスの低レベルを負値にシフトするための走査開始パルス電圧変換器20も必要なくなる。なお、パルス幅伸長を行なわない場合にはスイッチ30、31とバッファnMOS41をなくし、直接シフトレジスタ21の出力 ϕn をPMOS42のソースに入力すればよい。

【0065】なお、本実施例では、駆動パルス線が第1と第2のスイッチで駆動されているが、上記した本発明の効果は駆動パルス線を駆動するための具体的回路構成によらず得られる。例えば、従来例と同様の反転回路で駆動パルス線を駆動するものでもよい。

【0066】(二)駆動手段の第4の実施例

第3の実施例では、nMOS43に流れる電流値により第1もしくは第2スイッチ24、26のゲート端子の放電が起き第1もしくは第2のスイッチがオフする。この放電のスピードを早めるためには、nMOS43に流れる電流値を大きくする必要があり、パルス幅伸長器の出力が正電圧に

なりPMOS42がオンした時の正電圧線29と負電源線27間には貫通電流を小さくできないという課題がある。本実施例は、パルス幅伸長器の出力が接地電圧になりPMOSがオフすると同時に、負の電源線をソースとするnMOSトランジスタのゲート端子に正電圧を与える事により、この課題を解決するものである。図6は、タイミング発生手段3と駆動パルス発生手段4からなる駆動手段の第4の実施例の回路構成図である。図6で破線内が破線内がタイミング発生手段3の一部をなすパルス幅伸長器と駆動パルス発生手段4の一行分の回路を示す。図6中51がバッファnMOS41をオフすると同時にゲート端子により正の電圧が与えられるnMOSトランジスタでそのゲートにはスイッチ31と同じシフトレジスタ21の出力パルスが印加される。5、21、24から31、33、41、42、T1、T2、TIN、VL、VM、Vcc、GND、 ϕn 、 $\phi n+1$ 、 $\phi n+2$ 、 $\phi n+3$ は図5と同様である。以下、n行の第1スイッチ24のゲート端子の放電が起き第1のスイッチ24がオフする動作を例に取り説明する。

【0067】シフトレジスタ21が出力パルス $\phi n+1$ を出力するとスイッチ31がオンしパルス幅伸長器の出力が接地電圧になりバッファnMOS41がオフしPMOS42がオフする。これと同時に、nMOSトランジスタ51のゲートは正電圧 v_{cc} となり、第1のスイッチ24のゲート端子が負電源線27に印加された負電圧値に高速に放電される。この大きな放電電流は出力 $\phi n+1$ が v_{cc} になっている $1/2f_c$ 期間だけ流れ、他の期間においては、nMOS51のゲート端子には接地電圧になっている。従って、第1のスイッチ24のゲート端子と正電圧線29の間の電流経路がオンした時の貫通電流を小さくできる。なお、パルス幅伸長を行なわない場合にはスイッチ30、31とバッファnMOS41をなくし、直接シフトレジスタ21の出力 ϕn をPMOS42のソースに入力すればよい。

【0068】本実施例によれば、前置駆動パルス電圧変換器の負の電源線をソースとし常時オン状態にあるnMOSトランジスタ51のゲートにPMOS42がオフすると同時に正電圧が与えられるので、nMOSトランジスタ51による放電のスピードが早く、かつ、PMOS42がオンした時にはnMOS51のゲート電圧は接地電圧なので正電圧線29と負電源線27間には貫通電流を小さくできる。

【0069】以上第3、第4の実施例で述べた前置駆動パルス電圧変換器を構成する低レベルが接地電圧で高レベルが正の電圧を持つパルス入力部をソースとし、接地線をゲートとする負のしきい値電圧を持つPMOSトランジスタと、出力となるPMOSのドレインをドレインとし負の電源線をソースとし常時オン状態にあるnMOSトランジスタとを備えることを特徴とするパルス電圧変換器は、フローティング端子がなく、かつ、その端子をリセットするための負値パルスを必要とせず、電圧変換後のパルス振幅も大きいという優れた効果を有するもの

であり、低レベルが接地電圧で高レベルが正の電圧を持つパルスの低レベルを負値に変換する際に広く用いる事ができる。

【0070】以上、本発明の駆動手段の4つの実施例を、図1で述べた全体構成と駆動方式を持つ素子に適用した場合について述べたが、本発明の適用範囲は図1の素子に限定されるものではなく、以下に述べる変形が可能である。

【0071】駆動手段が正の単一電源で動作するシフトレジスタを有するタイミング発生手段と、タイミング信号に基づき負値の電圧を低レベルに持つ駆動パルスを駆動パルス線に供給する負電源を有する駆動パルス発生手段備える事により、シフトレジスタ内の比較的大きなパルス線を駆動する2相シフトパルスを発生するドライバをなくし、撮像装置の低消費電力化を図る事は、駆動手段が垂直電荷転送手段の一水平行を結ぶ駆動パルス線に駆動パルスを順次供給するものであれば、駆動手段の駆動方法、選択手段、水平走査手段の具体的構成動作によらず実施できる。例えば、水平走査手段が図14と同様に電荷転送素子で構成され、図1と同じ様に順次駆動パルスを供給する駆動手段と行選択手段を共に持つが駆動法の異なる例として、特開昭58-188156号公報に記載された一水平走査期間に一つの信号しか選ばないもの、特開昭57-78167号公報に記載された信号電荷が一電極下に限定されたものがあげられる。さらに、行選択手段が通例のインターラインCCDと同様に垂直電荷転送素子への転送を一括して行なう特開昭62-237871号公報に記載の素子でも実施できる。

【0072】駆動手段が駆動パルス線との間にゲートが直流電圧に接続された高耐圧化MOSトランジスタを設け、駆動手段の出力部に高い電圧がかかることなく高い信頼性を持つ駆動手段を実現する事は、駆動パルス線128と転送パルス線131が共通化した素子であれば、駆動手段、行選択手段や水平走査手段の具体的構成によらず実施できる。例えば、水平走査手段が図14と同様に電荷転送素子で構成され、行選択手段が図1と同様に一水平行を選択するものであるが、駆動がインターライン型CCDと同様の多相の外部パルスにより行なわれる特開昭57-207486号公報、特開昭58-107670号公報、特開昭63-62480号公報、特開昭64-54879号公報記載の素子に適用できる。さらに、図1と同じ様に駆動手段が順次駆動パルスを供給するものであるが、選択手段が通例のインターラインCCDと同様に垂直電荷転送素子への転送を一括して行なう特開昭62-237871号公報、特開平4-286282号公報に記載の素子でも実施できる。

【0073】(3) 行選択手段

(4) 行選択手段の第1の実施例

図7(a)は、行選択制御手段6と転送パルス発生手段7からなる行選択手段の第1の実施例の回路構成図、同図

(b)は同図(a)の回路の駆動パルスタイミング図で

ある。図(a)で破線内が行選択制御手段6の一部をなすインターレス回路の一行分の回路と転送パルス発生手段7の一行毎にもうけられた回路部分を示す。図中61から65により正の単一電源で動作する行選択制御手段6が構成される。61は従来と同様の2相レシオレス ダイナミック シフトレジスタで、シフトレジスタ61の中の実線は1段の区切りを示し、2行毎に一段が設けられている。62から65は従来と同様のインターレス回路を構成するスイッチである。また、60、66から73により転送パルス印加線75に印加された正の電源の電圧値より高い第2の電圧値を高レベルに持つ転送パルスを転送パルス線と共用化された駆動パルス線5に出力する転送パルス発生手段が構成される。内、60、66から68により制御信号に基づき端子V3LもしくはV4Lに印加された正の電源の電圧値vccより高く第2の電圧値vhより低い第3の電圧値vhmを高レベルに有する前置転送パルスから正の電源の電圧値vccより高く第3の電圧値vhmより低い第4の電圧値vcc-vthdを高レベルに有し、転送パルスが印加されていない期間の選択行と非選択行に低レベルが負値電圧のパルスを発生する前置転送パルス電圧変換器が構成される。60は配列の外に設けられたV3LもしくはV4L端子に印加される前置転送パルスの低レベルを負値にシフトする前置転送パルス負値電圧変換器で、例えば図5に示す一行分の41から43からなる電圧変換器でバッファnMOS41をなくして、PMOS42のソースとなるc点に端子V3LもしくはV4Lを接続して構成する。66から68は前置転送パルス電圧変換器のうち各行毎に設けられた回路部分で、66は前置転送パルススイッチのブートストラップ容量、67は前置転送パルススイッチMOS、68はブートストラップ用MOSである。69は転送パルススイッチMOS、70は転送パルススイッチMOSのブートストラップ容量、71から73は転送パルススイッチMOSの耐圧を向上させるためのもので、71は転送パルススイッチMOS高耐圧化MOS、72は高耐圧化MOS71のブートストラップ用容量、73は高耐圧化MOS71のブートストラップ用MOSである。74は前置転送パルス印加線、75は転送パルス印加線である。5、29は図3と同様である。また、V1、V2、VIN、FA、FB、V3L、V4L、V3、V4、GND、VL、Vccは図1と同様、イは転送パルススイッチMOS69のゲート端子、ロは転送パルススイッチMOS高耐圧化MOS71のゲート端子である。また、図7(b)において、vm、vl、vcc、vh、vhmは図2と同様、vh'はゲート端子イの最大電圧値、vh''はゲート端子ロの最大電圧値、vthdはブートストラップ用MOS68を構成する図11のデプレッション型nMOSのしきい値電圧(負値)、vtheはブートストラップ用MOS73を構成する図11のエンハンスメント型nMOSのしきい値電圧である。なお、68、71のトランジスタのしきい電圧はvthdで、62から65、67、7

3、69のトランジスタのしきい電圧はすべて $v_{th e}$ である。更に、 n 行と $n+1$ 行では、インターレス回路を構成するスイッチの配線が異なり、また、2本の転送パルス線75、前置転送パルス線74に一行おきに接続されるが、説明を簡単にするためここでは n 行の回路の詳細だけを示した。以下、 n 行を例に取り本実施例の動作を説明する。

【0074】従来と同様にシフトレジスタ61とスイッチ62から65からなるインターレス回路で選択行が特定され、選択行の前置転送パルススイッチMOS67のゲート端子が $v_{cc}-v_{th e}$ の電圧になる。また、非選択行のシフトレジスタ61の出力は全て接地電圧となっているので前置転送パルススイッチMOS67のゲート端子は全て接地電圧となっている。端子V3Lに印加されている前置転送パルスの低レベルは前置転送パルス負値電圧変換器60により負値にシフトされ前置転送パルス印加線74に印加されているので、全ての前置転送パルススイッチMOS67が全てオンし、転送パルススイッチ69のゲート端子の電圧は、駆動パルスの低レベルと同じ負電圧値 v_1 となっている。従って、駆動パルス線5に駆動手段から負値の低レベル電圧 v_1 が印加されても全ての転送パルススイッチMOSがオンする事はない。(図7(b)時刻 t_1)次いで、端子V3Lに印加されている前置転送パルスの印加電圧が0から正の電源電圧値 v_{cc} より高く第2の電圧値 v_h より第3の電圧値 v_{hm} になると、前置転送パルス負値電圧変換器60の出力である前置転送パルス印加線74も v_{hm} となる。この時、選択行においては、インターレス回路のスイッチ63がオフしているので、第1のブートストラップ容量66により前置転送パルススイッチMOS67のゲート端子は v_{hm} 以上に昇圧され、前置転送パルススイッチMOS67のソース端子は v_{hm} に上昇する。 v_{hm} の電圧値は正電圧 v_{cc} の印加されたブートストラップ用MOS68下の電位 $v_{cc}-v_{th d}$ ($v_{th d}$ は負値)より高く設定されているので、ブートストラップMOS68がオフし転送パルススイッチ69のゲート端子の電圧は第4の電圧値 $v_{cc}-v_{th d}$ になり、選択行の転送パルススイッチMOS69はオンする。一方、非選択行においても、前置転送パルススイッチMOS67のソース端子は上昇する。しかし、前置転送パルススイッチMOS67の接地電圧に接続されているので、第1のブートストラップ容量66による前置転送パルススイッチMOS67のゲート端子の昇圧は起こらない。この結果、前置転送パルススイッチMOS67のソース端子は $-v_{th e}$ までしか上昇せず、転送パルススイッチ69のゲート端子の電圧もこの電圧値になる。転送パルススイッチMOS69のしきい電圧と前置転送パルススイッチMOS67のしきい電圧の和 $2v_{th e}$ は駆動パルスの低レベル電圧値 v_1 の絶対値より大きく設定されているので、駆動手段から駆動パルス線5に低レベル電圧値 v_1 が印加されている行においても転送パルススイ

チMOSが開く事はない。(図7(b)時刻 t_2)さらに、端子V3、V4の印加電圧が v_m から v_h になる。この時、選択行においては、転送パルススイッチMOS69がオンし、ブートストラップMOS68がオフしているので、ブートストラップ容量70により、転送パルススイッチMOS67のゲート端子の電圧は v_h より高い $v_{h'}$ 電圧まで昇圧され、駆動パルス線5の電圧は v_h に上昇する。この際、高耐圧化MOSのブートストラップ用MOS73がオフしているので、高耐圧化MOS71のゲート端子も、ブートストラップ容量72により $v_{cc}-v_{th e}$ から v_h まで昇圧され、駆動パルス線5の電圧上昇を妨げる事はない。一方、非選択行においては、転送パルススイッチMOS69がオフしているので、駆動パルス線5の電圧は、転送パルス印加線75の電圧が v_m から v_h になっても何等影響を受けない。ただし、端子ハの電圧は、 $v_{cc}-v_{th e}-v_{th d}$ となり、転送パルス印加線75に印加された転送パルスの高レベル v_h と駆動パルス線5に印加された駆動パルスの v_1 もしくは v_m 間の電圧は、高耐圧化MOSトランジスタ71と転送パルススイッチMOS24で分圧され各トランジスタのソースドレイン間に印加される。(図7(b)時刻 t_3)次ぎに、端子V3の印加電圧が v_h から v_m になると、選択行では、駆動パルス線5の電圧が v_m になり、容量結合により上昇していた端子イ、ロの電圧も、時刻 t_2 の電圧に戻る。(図7(b)時刻 t_4)最後に、端子V3Lの印加電圧が0になると、前置駆動パルス印加線74の電圧が v_1 となり、選択行、非選択行の端子イの電圧、前置転送パルススイッチMOS67のソース端子が全て v_1 になり、前置転送パルススイッチMOS67のゲート端子も時刻 t_1 の電圧に戻る。(図7(b)時刻 t_5)なお、以上の動作は、選択行における選択手段の第1と第2のスイッチ24、26がオフとなり、駆動パルス線5が v_m の時にこなされる。

【0075】本実施例によれば、第1に、タイミング発生チップから正の単一電源駆動信号を端子V1、V2、VIN、FA、FBに印加すると、シフトレジスタ61と62から65からなるインターレス回路で構成される行選択制御手段が選択行を特定するための制御信号を発生し、この制御信号に基づき66から73よりなる転送パルス発生手段が転送パルス印加線75に印加された正の電源の電圧値 v_{cc} より高い第2の電圧値 v_h を高レベルに持つ転送パルスを選択行の駆動パルス線5に出力する。この結果、転送パルスの高レベル v_h 以上の印加される箇所を転送パルス印加線75と駆動パルス線5に直接接続された転送パルススイッチMOS69とその高耐圧化MOS71とおよびそのゲート端子イ、ロに接続されたブートストラップ用MOS73ブートストラップMOS68だけにすることで行選択手段の高集積化を図る事ができ、かつ、転送パルスV3、V4、V3L、V4Lを除く行選択手段の駆動パルスを発生するためのドライバチップは

不要となり装置の小型化が図れる。なお、以上の効果は、行選択制御手段の具体的構成によらず得られるもので、例えば、ランダムアクセスを行なう時には、シフトレジスタ61の変りにデコーダを使ってもよい。

【0076】さらに、66から68からなる前置転送パルス電圧変換器が、前置転送パルス線74に印加された正の電源の電圧値 v_{cc} より高く第2の電圧値 v_h より低い第3の電圧値 v_{hm} を高レベルに有する前置転送パルスを選択行に出力し転送パルススイッチMOS69のゲート端子イの電圧を正の電源の電圧値 v_{cc} より高く第3の電圧値 v_{hm} より低い第4の電圧値 $v_{cc}-v_{thd}$ とした後に、転送パルスを印加する事によりブートストラップ容量70により転送パルススイッチMOS69のゲート端子イの電圧を昇圧している。この転送パルス発生手段の構成により、従来の1段のブートストラップでは出力が不可能であった正の電源の電圧 v_{cc} の3倍以上の電圧を持つ転送パルスを、正の電源の電圧値 v_{cc} 以下の制御信号をトリガーとして選択行に出力する事が可能になっている。なお、ブートストラップの段数は必要なら3段以上にしてもよい。また、本構成では、nMOSだけで回路が構成されているので、基板電圧より高い転送パルスを選択行に出力する事が可能になっている。

【0077】第2に、本実施例によれば、タイミング発生チップから正の単一電源駆動信号を端子V1、V2、VIN、FA、FBに印加すると、シフトレジスタ61と62から65からなるインターレス回路で構成される行選択制御手段が選択行を特定するための制御信号を発生する。この制御信号に基づき60、66から68よりなる前置転送パルス電圧変換器が、転送パルスが印加されていない期間の選択行と非選択行に負値電圧を発生し駆動パルス線5をソースとする転送パルススイッチMOSトランジスタ69のゲート端子イに印加する。この結果、駆動パルス線128と転送パルス線131を共通化しても、低レベルを負値に持つ行選択手段の駆動パルスは前置転送パルスだけとなり、低レベルを負値とする事により印加電圧振幅の増加するのは前置転送パルススイッチ67と転送パルススイッチ69だけとする事ができ、行選択手段の高集積化が図れる。

【0078】なお、駆動パルスの高レベル電圧 v_m を接地電圧とする事により、端子V3もしくはV4に印加される転送パルスの低電圧が接地電圧とでき、選択手段を動作させるための電源数を低減できる。

【0079】さらに、通例、微細なnMOSが形成されるpウェルに印加される負値のバックバイアスバックバイアス電圧 v_{bb} と、端子VLに印加されている駆動パルスの低レベル電圧 v_l を等しい値にして、行選択手段を動作させるための電源数を低減し、端子VLをバックバイアス電圧 v_{bb} の印加端子（図示せず）を共通化してもよい。

【0080】以上述べた2つの電源数低減を本実施例で

実施すれば、行選択手段の全てを、単一の正電圧値を持つ駆動信号と、低レベルが接地電圧で高レベルに単一の正電圧値より高い正電圧値を持つ前置転送パルスと転送パルス、駆動信号と等しい電圧値を持つ正電源並びに一負電源とにより駆動できる。

【0081】第3に、本実施例では、高耐圧化MOS71を設けているので、転送パルス印加時に非選択行において生じる駆動パルス線5と転送パルス印加線75間の転送パルスの高レベル電圧 v_h と負電圧 v_l の電圧もしくは転送パルスの高レベル電圧 v_h と電圧 v_m の電圧は、高耐圧化MOSトランジスタ71と転送スイッチ69で分圧され、各トランジスタのソースドレイン間電圧を低くでき、転送パルス発生手段の高信頼度化を図れる。しかも、高耐圧化MOS71のしきい電圧を負とし、ブートストラップ容量72を設け高耐圧化MOS71のゲート端子ロを転送パルスで昇圧しているため、転送パルスの駆動線5への印加速度への影響は少なくできる。更に、ブートストラップ容量72とブートストラップ用MOS73を設ける事により、非選択行における転送パルス印加時の高耐圧化MOS71のゲート端子ロと転送パルス印加線75間の電圧を $v_h - (v_{cc} - v_{the})$ とする事ができ、高耐圧化MOS71のゲート酸化膜の破壊もしくは劣化現象を防ぎ、高信頼度化を図れる。

【0082】(ロ)行選択手段の第2の実施例

第1の本実施例では、非選択行においても、前置転送パルス印加時に転送パルススイッチ69のゲート端子イの電圧が v_l 電圧より上昇するため、駆動手段から駆動パルス線に低レベル電圧値 v_l が印加されている行において転送パルススイッチMOS69が開かない様にするために、転送パルススイッチMOS69のしきい電圧と前置転送パルススイッチMOS67のしきい電圧の和を駆動パルスの低レベル電圧値 v_l の絶対値より大きく設定する必要がある。更に、この時には、前置転送パルススイッチMOSが飽和動作しているのでブートストラップ容量70によるチャージポンピング現象が生じ、駆動パルスが v_l から v_m に変化する時に端子イが正方向にシフトし転送パルススイッチMOSが開くという課題も生じた。また、行選択手段に低レベルを負値とする駆動パルスを供給するドライバチップをなくすために前置転送パルス負値電圧変換器60を必要とする課題もある。第2の実施例はこれらの課題を解決するために、前置転送パルス電圧変換器を行選択手段の出力パルス入力部をゲートとしドレインを前置転送パルスの入力部とする正のしきい電圧値を持つパルス入力用nMOSトランジスタと、接地線をゲートとし該パルス入力用nMOSのソースをソースとする負のしきい電圧値を持つPMOSトランジスタと、出力となるPMOSのドレインをドレインとし上記負値電源をソースとする常時オン状態にあるnMOSトランジスタとからなるパルス電圧変換器で構成したものである。図8(a)は、行選択制御手段6と転送パルス発

生手段7からなる行選択手段の第2の実施例の回路構成図、同図(b)は同図(a)の回路の駆動パルスタイミング図である。図8(a)で破線内が行選択制御手段6の一部をなすインターレス回路と転送パルス発生手段7の一行分の回路を示す。図(a)で破線内が一行分の転送パルス発生手段7と行選択制御手段6の一部を示す。図8(a)中66、76から78で正の電源の電圧値 v_{cc} より高く第2の電圧値 v_h より低い第3の電圧値 v_{hm} を高レベルに有する前置転送パルスから正の電源の電圧値 v_{cc} より高く第3の電圧値 v_{hm} より低い第4の電圧値 $v_{cc}-v_{thd}$ を高レベルに有し、転送パルスが印加されていない期間の選択行と非選択行に負値電圧を発生する前置転送パルスを選択行に発生する前置転送パルス電圧変換器が構成され、76が正のしきい電圧 v_{the} を持つパルス入力用nMOSトランジスタ、77がPMOSトランジスタ、78が負のしきい電圧値 v_{thd} を持つnMOSトランジスタである。また、61から66、69から75、5、29、V1、V2、VIN、FA、FB、V3L、V4L、V3、V4、Vcc、VL、GND、イ、ロ、は図7(a)と同様であり、27は図3(a)と同様である。図8(b)において、 v_h 、 v_m 、 v_{cc} 、 v_{hm} 、 $v_{h'}$ 、 $v_{h''}$ 、 v_{thd} 、 v_{the} は図7(b)と同様である。なお、シフトレジスタ61の中の実線は1段の区切りを示し、2行毎に一段が設けられている。更に、n行とn+1行では、インターレス回路を構成するスイッチの配線が異なり、また、2本の転送パルス線75、前置転送パルス線74に一行おきに接続されるが、説明を簡単にするためここではn行の回路の詳細だけを示した。以下、n行を例に取り本実施例の動作を説明する。

【0083】本実施例では、非選択行では前置転送パルススイッチMOS76のゲート端子は全て接地電圧となり、端子V3Lの電圧が正の電圧であるので、パルス入力用MOS76とPMOS77はオフしている。従って、全ての期間において、非選択行の転送パルススイッチMOS69のゲート端子の電圧は負電源線27をソースとし常時オン状態にあるnMOS78を介して、負電圧値 v_1 が印加される。この結果、駆動パルス線5に駆動手段から負値の低レベル電圧 v_1 が印加されても非選択行の転送パルススイッチMOSがオンする事はない。一方、選択行では、まず、前置転送パルススイッチMOS76のゲート端子が $v_{cc}-v_{the}$ の電圧になり、nMOS76がオンする。しかし、端子V3Lの電圧は0Vであるので、PMOS77はオンする事なく、nMOS78が開いているので、転送パルススイッチMOS69のゲート端子の電圧は v_1 電圧のままとなる。(図8(b)時刻t1)次いで、端子V3Lの印加電圧が接地電圧から正の電源電圧値 v_{cc} より高く第2の電圧値 v_h より低い第3の電圧値 v_{hm} になる。nMOS76はオンしているので、PMOS77もオンし、nMOS78のドレイン端子が v_1 電圧から正電圧に上昇する。この時、選択行においては、

インターレス回路のスイッチ63がオフしているので、第1のブートストラップ容量66により前置転送パルススイッチMOS67のゲート端子は v_{hm} 以上に昇圧され、nMOS83のドレイン端子はドレイン端子と前置転送パルス印加線74間並びに負電源線27間の抵抗により決まるある正電圧値となる。この電圧値は正電圧 v_{cc} の印加されたブートストラップ用MOS68下の電位 $v_{cc}-v_{thd}$ より高く設定されているので、ブートストラップMOS68がオフし転送パルススイッチ69のゲート端子の電圧は $v_{cc}-v_{thd}$ になり、転送パルススイッチMOS69はオンする。(図8(b)時刻t2)さらに、端子V3の印加電圧が v_m から v_h になると、図8と同様にして駆動パルス線5の電圧は v_h に上昇する。(図7(b)時刻t3)次に、端子V3、V4の印加電圧が v_h から v_m になると、駆動パルス線電圧が v_m になり、容量結合により上昇していた端子イ、ロの電圧も、時刻t2の電圧に戻る。(図8(b)時刻t4)最後に、端子V3Lの印加電圧が0Vになると、PMOS77がオフし、転送パルススイッチMOS69のゲート端子の電圧が負電源線27をソースとし常時オン状態にあるnMOS78を介して、負電源線27の負電圧値 v_1 になる。(図8(b)時刻t5)

本実施例によれば、行選択手段の出力パルス入力部をゲートとしドレインを前置転送パルスの入力部とする正のしきい電圧値を持つパルス入力用nMOSトランジスタと、接地線をゲートとし該パルス入力用nMOSのソースをソースとする負のしきい電圧値を持つPMOSトランジスタと、出力となるPMOSのドレインをドレインとし上記負値電源をソースとする常時オン状態にあるnMOSトランジスタとからなるパルス電圧変換器が、選択行では転送パルスが印加されていない期間、非選択行では全ての期間に、転送パルススイッチMOS69のゲート端子に駆動パルスの低レベルと同一の値の負値電圧を出力する。この結果、転送パルススイッチMOS69のしきい電圧と前置転送パルススイッチMOS76のしきい電圧の和を駆動パルスの低レベル電圧値 v_1 の絶対値より大きく設定しなくても、低レベルを負値とする駆動パルスの駆動パルス線5への印加時に行選択手段の出力を構成する転送パルススイッチMOS69はオンすることない。かつ、前置転送パルス負値電圧変換器60も必要がない。

【0084】なお、本実施例では、前置パルス発生手段にPMOS77が使われているが、ブートストラップ用MOSの働きによりPMOS77のソースドレイン拡散層はV3L、V4Lに印加される前置転送パルスの高レベル v_{hm} 以上になる事はなく、 v_{hm} を基板電圧以下にすれば、基板電圧より高い電圧値を持つ転送パルスを駆動パルス線5に印加可能である。

【0085】本実施例で述べた低レベルが接地電圧で高レベルが正の電圧を持つ第1のパルス入力部をゲートと

し低レベルが接地電圧で高レベルが正の電圧を持つ第2のパルスの入力部をドレインとする正のしきい電圧値を持つパルス入力用nMOSトランジスタと、接地線をゲートとし該パルス入力用nMOSのソースをソースとする負のしきい電圧値を持つPMOSトランジスタと、出力となるPMOSのドレインをドレインとし上記負値電源をソースとする常時オン状態にあるnMOSトランジスタとからなるパルス電圧変換器は、正電圧値を持つ第1の入力パルスと第2の入力パルスの論理積をとりかつ出力パルスの低レベルを負値とする事ができるという効果を有し、広く適用する事ができる。

【0086】以上、本発明の行選択手段の2つの実施例を、図1で述べた全体構成と駆動方式を持つ素子に適用した場合について述べたが、本発明の適用範囲は図1の素子に限定されるものではなく、以下に述べる変形が可能である。

【0087】選択手段が選択行を特定するための制御信号を発生する正の単一電源で動作する行選択制御手段と、該制御信号に基づき転送パルス印加線に印加された該正の電源の電圧値より高い第2の電圧値を高レベルに持つ転送パルスを選択行の転送パルス線に出力する転送パルス発生手段とを備える事により、行選択手段内の大きな電圧が印加されるのは転送パルス発生手段内の転送パルスの供給経路だけにして行選択手段127の高集積化を図るとともに、転送パルスを除く5つのパルスを発生する高い電圧振幅を持つドライバをなくし装置の小型化を図る事は、行選択手段が光電変換素子の信号電荷を一水平行ずつ該垂直電荷転送手段に転送するための転送パルスを光電変換素子の一水平行毎に設けられた転送パルス線に供給するものであれば、駆動手段、水平走査手段の具体的構成動作によらず実施できる。例えば、水平走査手段が図14と同様に電荷転送素子で構成され、図1と同じ様に順次駆動パルスを供給する駆動手段と行選択手段を共に持つが駆動法の異なる例として、特開昭58-188156号公報に記載された一水平走査期間に一つの信号しか運ばないもの、特開昭57-78167号公報に記載された信号電荷が一電極下に限定されたものがあげられる。さらに、駆動がインターライン型CCDと同様の多相の外部パルスにより行なわれる特開昭54-75927、特開昭57-207486号公報、特開昭58-107670号公報、特開昭62-230270号公報、特開昭60-247382号公報、特開昭63-62480号公報、特開昭64-54879号公報記載の素子に適用できる。行選択手段が低レベルが接地電圧で動作する行選択制御手段と、転送パルスが印加されていない期間の選択行と非選択行に負値電圧を発生する負電源を有する前置転送パルス電圧変換器と、前置転送パルス電圧変換器の出力部をゲートとし上記駆動パルス線をソースとする転送パルススイッチMOSトランジスタとを有する転送パルス発生手段とからなる転送パルス発生手段を備え、駆動パルス線128と転送パルス線131を共通化しても、低レベル

を負値に持つのは前置転送パルスだけとして、行選択手段127の駆動電圧振幅の高い部分を低減することにより行選択手段の高集積化を図る事は、駆動パルス線128と転送パルス線131が共通化した素子であって、行選択手段が光電変換素子の信号電荷を一水平行ずつ該垂直電荷転送手段に転送するための転送パルスを光電変換素子の一水平行毎に設けられた転送パルス線に供給するものであれば、駆動手段、水平走査手段の具体的構成動作によらず実施できる。例えば、水平走査手段が図14と同様に電荷転送素子で構成され、図1と同じ様に順次駆動パルスを供給する駆動手段と行選択手段を共に持つが駆動法の異なる例として、特開昭58-188156号公報に記載された一水平走査期間に一つの信号しか運ばないもの、特開昭57-78167号公報に記載された信号電荷が一電極下に限定されたものがあげられる。また、駆動がインターライン型CCDと同様の多相の外部パルスにより行なわれる特開昭57-207486号公報、特開昭58-107670号公報、特開昭63-62480号公報、特開昭64-54879号公報記載の素子にも適用できる。

20 【0088】(4) デバイス構造

(4) トランジスタ

本発明では、既に述べた様に水平走査手段を11から19で構成するとともに、垂直電荷転送手段を負値で駆動しかつ増幅器を11から13からなる容量帰還型増幅回路とし、駆動パルス電圧変換器4、転送パルス電圧変換器7を設ける事により素子のほとんどの部分が単一正電源で動作する。しかし、垂直転送に電荷転送手段を用いる以上、高電圧の転送パルスの印加箇所を皆無にすることはできない。これに対し、図3から図5に示す高耐圧化MOS28、図7と図8に示す高耐圧化MOS71により印加電圧の分圧を行ないソースドレイン間に印加される電圧を下げトランジスタがオフ時のソースドレイン間の耐圧向上を図る。図7と図8に示す回路構成により直流の高電圧を使う事なくV3、V4端子に印加される転送パルス、V3L、V4L端子に印加される前置転送パルスを駆動パルス線5に出力可能として、高電圧の印加デューティを下げ、かつ、転送パルスの印加経路にある高耐圧化MOS71、転送パルススイッチ69、高耐圧化MOS28のソースドレイン間に実質的に印加される電圧を下げ、トランジスタがオン時のホットキャリアによるトランジスタ特性の劣化を防ぐなどの回路的工夫を行なった。しかし、以上の回路的工夫にも関わらず、以下の2つの課題が残る。

【0089】第1に、特開平1-103861号公報記載されている様な駆動パルス発生回路のゲート酸化膜厚を電荷転送素子のゲート酸化膜厚より薄くする事により、駆動パルス発生器の高速化、高集積化を図る事が困難である。即ち、垂直電荷転送手段2に高い転送パルスを印加し無残像読みだしを実現するため転送パルス発生手段7と駆動パルス発生手段4内の高い電圧値を持つ転送パルスの

並びに前置転送パルスの印加経路にトランジスタのゲートソース間電圧もしくはゲートドレイン間の電圧が高い箇所が残る。この結果、図1に示す3、4よりなる転送手段、6、7よりなる行選択手段を垂直電荷転送手段2よりゲート酸化膜の薄いトランジスタで構成すると、ゲート酸化膜の破壊もしくは信頼度劣化が生じる。従って、ゲート酸化膜を薄くする事はできない。そこで、本発明では、ゲートソース間電圧もしくはゲートドレイン間の電圧が高い転送パルス発生手段7を構成する図7と図8の転送スイッチMOS 69、ブートストラップ用MOS 73、高耐化MOS 71、ブートストラップ用MOS 68、図7の前置転送パルススイッチ67もしくは図8のパルス入力用n MOS 76、図8のn MOS 78と、駆動パルス発生手段4を構成する図3から図6の高耐化MOS 28、第1と第2のスイッチ24、26、図6のn MOS 51のゲート酸化膜厚を垂直電荷転送手段2のゲート酸化膜厚と等しく厚くし、他のMOS トランジスタのゲート酸化膜厚は薄くした。

【0090】第2に、特開昭61-234670記載された様に、駆動手段と行選択手段とを光電変換素子1と垂直電荷転送手段2の形成される第1の不純物層より高濃度の第2の不純物層に形成する際に以下の課題が生じる。即ち、駆動手段と行選択手段を高集積化するためにはゲート電極の長さを短くしてもパンチスルー現象が起きない様に、第2の不純物層の表面濃度を高くする必要がある。この結果、第1に、図7、7の転送パルススイッチ69、高耐圧化MOS 71の基板バイアス効果がおおきくなり、転送パルスを通過させるには、ゲート端子イナイレを転送パルスの高レベル電圧 v_h より遥かに高い $v_{h'}$ 、 $v_{h''}$ に昇圧しなければならず、さらなる耐圧向上策が必要になる。第2には、転送パルス発生手段7を構成する図7と図8の転送スイッチMOS 69、高耐化MOS 71、ブートストラップ用MOS 68、図7の前置転送パルススイッチ67もしくは図8のパルス入力用n MOS 76、図8のn MOS 78と、駆動パルス発生手段4を構成する図3から図6の高耐化MOS 28にはデューティは短いといえ、トランジスタがオン時に高いソースドレイン電圧が印加され、ホットキャリアによる特性劣化が生じる。この課題を解決するために、上記した箇所のMOS トランジスタを表面濃度が駆動手段と行選択手段の他の部分より低濃度の第3の不純物層内に設け、基板効果の低減とホットキャリア耐圧の向上を図った。なお、光電変換素子1と垂直電荷転送手段2の形成される第1の不純物層はオーバーフロー動作を行なうために非常に低濃度であるので、第3の不純物層と兼用すると、基板効果低減やホットキャリア耐圧向上はできるが、パンチスルー現象を防ぐためにはゲート電極長を非常に長くする必要がある。これを防ぐため、第3の不純物層は第1の不純物層以上の表面濃度を有し、所望の基板効果と耐圧を実現しつつゲート電極長の短縮を可能にしている。さらに、本願発明者が既に特願平5-219531で提案したごとく、第3の不純物層は第1

の不純物層内に第1の不純物層内より浅く形成され、ゲート電極に高い電圧が印加されると基板までの全領域が空乏化し、基板バイアス効果によるしきい電圧上昇が更に軽減される。

【0091】以下、図9から図12を用いて本発明のトランジスタの構造を説明する。図9は図1の厚いゲート酸化膜と低濃度の第1のp ウエルを持つ垂直電荷転送手段2のA-A'の断面構造図、図10は図1の転送パルス発生手段7ならびに駆動パルス発生手段4の一部に用いられる垂直電荷転送手段2のゲート酸化膜厚と等しい厚いゲート酸化膜厚を持ち、他の部分より表面濃度の低い第3のp ウエルに形成されたMOS トランジスタの断面構造図、図11は図1の転送パルス発生手段7ならびに駆動パルス発生手段4の他の一部に用いられる垂直電荷転送手段2のゲート酸化膜厚と等しい厚いゲート酸化膜厚を持ち、他の部分より表面濃度の低い第3のp ウエルに形成されたMOS トランジスタの断面構造図、図12は図1の行選択制御手段6とタイミング発生手段3、転送パルス発生手段7ならびに駆動パルス発生手段4の残りの部分に用いられる薄いゲート酸化膜厚を持ち、高濃度の第2の不純物層内に形成されたMOS トランジスタの断面構造図である。

【0092】図9は厚いゲート酸化膜を持つ図1に示す垂直電荷転送手段2のA-A'部の断面構造図である。本構造の不純物分布は、本願発明者が特開平03-289173号公報にて提案した低スメア化、高飽和化、低暗電流化を可能とするパンチスルー構造からなる。また、各電極は本願出願人が既に特開平03-60158で提案した単層電極構造からなる。図9中81はn型基板で縦型オーバーフロードレイン動作を行なうため接地された第1のP ウエルに対して正電圧 v_{sub} が印加されている。82は接地電圧0Vの印加された非常に濃度の低い第1のP ウエル、83はオーバーフロー電圧を低くするための第1のホットダイオードn ウエル、84は素子分離のための第2のホットダイオードn ウエル、85はホットダイオードを構成するn層、86は暗電流低減のためのホットダイオード表面p層、87はスメアを抑圧するための2重ウエルp層、88は垂直電荷電荷転送手段2のn型チャネル層、89はゲート電極、90は厚いゲート酸化膜、 v_{sub} はn基板印加電圧である。本構造を一例として示したインターライン型CCDにおいては、ホットダイオードn層85から垂直電荷電荷転送手段2のn型チャネル層88への信号読みだしを無残像で行なうために高い電圧をゲート電極89に印加する必要がある。この際電極と接地電位を持つホットダイオードp層90間の電圧によりゲート酸化膜90の破壊もしくはキャリアの注入による劣化を起こさないために、ゲート酸化膜90を薄くする事はできない。なお、図1中の電荷転送制御部を構成するゲート2-2、電荷蓄積ゲート2-3、出力ゲート2-4はホットダイオードを構成するn層85、ホットダイオード表面p層86を設けないデバイス構造を持つ。

【0093】図12は、高速高集積化を可能にする垂直電荷転送手段2より薄いゲート酸化膜を持ち、高濃度の第2のpウェルとnウェルに形成されたMOSトランジスタの構造図である。図12中111はnMOSの形成される高濃度の第2のPウェル、112はnMOSトランジスタフィールドp層、113はnMOSトランジスタソースドレインn型拡散層、114はpMOSの形成されるnウェル、115はpMOSトランジスタフィールドn層、116はpMOSトランジスタソースドレインp型拡散層、117はロコス酸化膜、118は薄いゲート酸化膜である。81、89、 v_{sub} は図9と同様である。また、 v_{bb} は第2のPウェルには印加される負のバックバイアスである。図12のnMOSにより、駆動が単一正電源で行なわれる図1に示す水平走査手段を構成する増幅器11を構成するMOSの一部、クランプスイッチ15、信号書き込スイッチ16-1、16-2、信号読みだしスイッチ18-1、18-2、水平走査回路19、図1のタイミング発生手段3を構成する図3から図6に示すシフトレジスタ21及び図4から図6のパルス伸長器を構成するスイッチ30から32、図1の行選択制御手段6を構成する図7と図8に示すシフトレジスタ61が構成される。また、単一正電源で駆動はされないが、ソース電圧がほぼ0V程度以下にならない駆動パルス電圧変換器3を構成する図5と図6に示すバッファnMOS41も同様である。また、図12のPMOSにより図1に示す水平走査手段を構成する増幅器11のドライバ、リセットスイッチ12、図1の駆動パルス電圧変換器4を構成する図5と図6に示すPMOS42、転送パルス電圧変換器3を構成する図8に示すPMOS77が構成される。PMOS42においては、電源振幅は $v_{cc}-v_1$ (v_1 ; 負)となるが、ソース端子電圧は $v_{cc}-2v_{th}$ 以上に上昇せずゲートは接地されているので各端子間には実質的には v_{cc} 程度の電圧しか印加されず、薄いゲート酸化膜を用いる。また、PMOS77においては、選択行において前置駆動パルス印加時にゲートソース間電圧が v_{hm} となり正電圧値 v_{cc} を越えるが、印加デューティは10⁻⁴以下であるので薄いゲート酸化膜を用いる。なお既に本願発明者が特開平5-103272号公報に提案したように、nウェル114と第2のホットダイオードnウェル84を兼用しpMOSトランジスタソースドレインp型拡散層116と暗電流低減のためのホットダイオード表面p層86を兼用すればプロセス工程の簡略化を図る事ができる。

【0094】図10は垂直電荷転送手段2と同じ厚いゲート酸化膜を持ち、他の部分より表面濃度の低い第3のウェルに形成されたnMOSトランジスタである。図中81、82、88、89、90、 v_{sub} は図9と同様、112、113、117は図12と同様である。なお、91は表面濃度が第2のPウェル111より高く第1のpウェル82より低くかつ第1のpウェル82より浅い第3のpウェル層である。また、 v_1 は図2と同様である。第1のPウェル82には、ソースドレイン拡散層113が第3のPウェル82に対し順方向にバ

イアスされない様に転送パルスの低レベル電圧である負値 v_1 のバックバイアスが印加される。本実施例では以上の構造により第2の2重ウェルp層を形成する工程を付加するだけで厚いゲート酸化膜厚を持ち、他の部分より表面濃度の低い第2の不純物層内に形成されたnMOSトランジスタを形成する事ができる。図10のエンハンスメント型のnMOSにより、図1の駆動パルス電圧変換器4を構成する転送パルスの印加デューティを考慮してもまだゲートドレイン間最大電圧が薄いゲート酸化膜厚の信頼度を保証できる電圧以上の $v_{cc}-v_{thd}-v_1$ となる図3から図6に示す第1と第2のスイッチ24、26、ゲートドレイン間最大電圧が $v_{cc}-v_1$ と低い印加デューティの高い図6に示すnMOS51、転送パルス電圧変換器7を構成する前置転送パルス印加線のドレインに直接接続されゲートドレイン間最大電圧が v_{hm} と低いが印加デューティの高い図7に示す前置転送パルススイッチ67もしくは図8に示すパルス入力用nMOS76が構成される。また、図10のデプレッション型トランジスタにより、図1の転送パルス電圧変換器7を構成する前置転送パルスの印加デューティを考慮してもまだゲートドレイン間最大電圧が薄いゲート酸化膜厚の信頼度を保証できる電圧以上の $v_{hm}-v_1$ となる図8のnMOS78が構成される。

【0095】なお、図8のnMOS78において、前置転送パルス印加時にソースドレイン間に $v_{m}-v_1$ の電圧が印加される事によるホットキャリアによるトランジスタ特性の劣化が問題になる時には、nMOS78を図10のnMOSでドレイン端子側の一部にだけn型チャネル層を設けたトランジスタで構成し、そのゲート端子を接地電圧とすればよい。この構成により、ゲート長は長くなるもののドレイン側の強い電界を緩和する事が可能になる。

【0096】さらに、転送パルス以上の電圧の印加される部分においては、図10に示す厚いゲート酸化膜を持つトランジスタを用いても、印加電圧が接合耐圧を越え電圧の印加が不可能になるという課題が生じる。即ち、図12に述べた酸化膜の薄いMOS構造では、ロコス酸化膜117の形成される分離領域の長さを小さくしても、パンチスルー現象が起きない様に、nMOSトランジスタフィールドp層112を高濃度に行っている。この結果、nMOSトランジスタソースドレインn型拡散層113との接合耐圧が低い。製造工程の簡略化のため、薄い酸化膜を持つ図12の構造同じフィールドp層112を持つ図10の構造においても同様に高い接合耐圧を得る事はできず、転送パルスの印加が不可能になる。図11は、この課題を、製造工程数を増やすことなく解決するため、ソースドレインn型拡散層113をフィールドp層112よりLo_fだけオフセットをかけて形成したものである。図中81、82、88から91、112、113、117、 v_{sub} 、 v_1 は図10と同様である。Lo_fはソースドレインn型拡散層113をフ

51

フィールドp層112のオフセット距離を示す。このオフセットにより、ソースドレインn型拡散層113は高濃度のフィールドp層112に接する事がなく、接合耐圧の向上を図れる。なお、図10と同様に、第1のPウェル82には、転送パルスの低レベル電圧である負値 v_1 のバックバイアスが印加される。図11のエンハンスメント型のnMOSにより、図1の転送パルス電圧変換器7を構成するゲートドレイン間最大電圧が $v_{cc}-v_{th}-v_1$ (v_{th} , v_1 ; 負)となりドレインウェル間最大電圧が v_h-v_1 となる図7と図8の転送スイッチMOS 69、ゲートドレイン間最大電圧が $v_h'-v_{cc}$ となりドレインウェル間最大電圧が $v_h'-v_1$ となる図7と図8のブートストラップ用MOS 73が構成される。また、図10のデプレッション型トランジスタにより、図1の駆動パルス電圧変換器4を構成するゲートドレイン間最大電圧が v_h-v_{cc} となりドレインウェル間最大電圧が v_h-v_1 となる図3から図6に示す高耐化MOS 28、図1の転送パルス電圧変換器3を構成するゲートドレイン間電圧が $v_h-(v_{cc}-v_{th})$ となりドレインウェル間電圧が v_h-v_1 となる図7と図8に示す高耐化MOS 71、ゲートドレイン間電圧が $v_h'-v_{cc}$ となりドレインウェル間電圧が $v_h'-v_1$ となる図7と図8に示すブートストラップ用MOS 68が構成される。なお、接合耐圧は高電圧の印加される端子だけ向上させればよいので、高耐化MOS 28、ブートストラップMOS 68、73においては高電圧のかかる端子（例えば端子イ、ロ）だけにオフセットをかければよい。

【0097】なお、トランジスタ間の分離領域となるロコス酸化膜117部に寄生的に形成されるMOSに高いしきい電圧が必要とされないもしくは寄生MOSが存在しない場合には、図10の構造でロコス酸化膜117の下にnMOSトランジスタフィールドp層を設けない構造とすることにより、製造工程数を増やすことなく接合耐圧を向上すると共に、図11のオフセットをかける場合に比し集積度向上を図れる。また、工程数は増えるもののロコス酸化膜117の下にnMOSトランジスタフィールドp層の濃度を低くしてもよい。

【0098】さらに、本実施例では、厚いゲート酸化膜を持つトランジスタ全てを第1のPウェル82内の表面濃度が第1のPウェル82より高く第2のPウェル111より低く第1のPウェルより浅い第3のpウェル91の中に形成したが、基板効果によるしきい電圧の上昇やホットキャリア耐圧が問題にならないトランジスタは、第2のPウェル111内に形成してさらなる高集積化を図る事ができる事はいうまでもない。本実施例によれば、第1に、駆動パルス発生手段4と転送パルス発生手段7のゲートソース間電圧もしくはゲートドレイン間の電圧が高い箇所を垂直電荷転送手段2のゲート酸化膜厚と等しい厚いゲート酸化膜厚を持つMOSトランジスタで構成する事により特開平1-103861号公報に記載された従来技術に比し製造

52

工程数を増加するも事なくゲート酸化膜の耐圧向上ができ、かつ、薄いゲート酸化膜厚を持つMOSトランジスタでタイミング発生手段3、行選択制御手段6、11から18の増幅手段、水平走査回路19を構成する事により他の部分の集積度は従来技術と同様に高くできるので、高速高集積かつ高信頼度の駆動回路を実現できる。

【0099】第2に、本実施例によれば、転送パルス発生手段7ならびに駆動パルス発生手段4の転送パルス電圧以上の電圧が印加される箇所をソースドレインn型拡散層113をフィールドp層112から離れたMOSトランジスタで構成する事により、他の部分の集積度を損なう事も製造工程数を増やすことなく、接合耐圧の向上ができ高い電圧を持つ転送パルスの印加が可能になる。

【0100】第3に、本実施例によれば、転送パルス発生手段7ならびに駆動パルス発生手段4の転送パルスの通過経路とオン時ソースドレイン電圧の高い箇所を第2のPウェル111より表面濃度の低い第3のpウェル91内に形成されるMOSトランジスタで構成し基板効果によるしきい電圧上昇とホットキャリアによる耐圧劣化を防止し、タイミング発生手段3、行選択制御手段6、11から18の増幅手段、水平走査回路19を高濃度の第2のPウェル111内に形成する事により高集積化し、高集積でかつ高信頼度の駆動回路を実現できる。また、第3のpウェル91の表面濃度を第1のPウェル82より高濃度とする事により所望の基板効果と耐圧を実現しつつゲート電極長の短縮を可能とし、第3のpウェル91内に形成されるMOSトランジスタの高耐圧と高集積化の両立ができる。さらに、第3のpウェル91の深さを第1のPウェル82より浅くし、ゲート電極89に高い電圧が印加されると基板81までの全領域が空乏化する様にして、基板効果によるしきい電圧の上昇をさらに低減し、更に信頼度を向上できる。

【0101】以上、本発明のトランジスタ構造を、図1で述べた全体構成と駆動方式を持つ素子に適用した場合について述べたが、本発明の適用範囲は図1の素子に限定されるものではなく、以下に述べる変形が可能である。

【0102】電荷転送手段の駆動回路をゲート酸化膜厚が電荷転送手段のゲート酸化膜厚と等しい第1のMOSトランジスタと第1のMOSトランジスタよりもゲート酸化膜厚が薄い第2MOSトランジスタで構成する事により、駆動回路内の高電圧印加部でもゲート酸化膜の破壊もしくは信頼度低下が起こることがないようにし、かつ、電圧の低い部分は高集積化を図り、高信頼度かつ高集積の電荷転送装置を実現する事は、同一半導体基板上に電荷転送手段と駆動回路を有する電荷転送装置の高信頼度高集積化に広く用いる事ができる。例えば、水平走査手段が図14と同様に電荷転送素子で構成され、図1と同じ様に駆動回路が順次駆動パルスを供給する駆動手段と行選択手段で構成されるが駆動法の異なる特開昭58-188156号公報、特開昭57-78167号公報に記載された素

子。さらに、行選択手段が図1と事なり通例のインターラインCCDと同様に垂直電荷転送素子への転送を一括して行なう特開昭62-237871号公報、特開平4-286282号公報に記載の素子。駆動が図1と事なりインターライン型CCDと同様の多相の外部パルスにより行なわれる特開昭54-75927、特開昭57-207486号公報、特開昭58-107670号公報、特開昭62-230270号公報、特開昭60-247382号公報、特開昭63-62480号公報、特開昭64-54879号公報記載の素子で実施できる。これらの2次元撮像素子に限らず、高い駆動電圧を必要とする駆動回路を内蔵した例えばテレビジョン学会技術報告CE' 91-12 (Feb. 1991) に記載の一次元固体撮像素子や電荷転送型遅延線等においても実施できる。また、以上の素子に図1の水平走査手段を適用した素子においても実施できる事はいうまでもない。

【0103】電荷転送手段の駆動回路を高濃度の表面濃度を持つ第1の不純物層内に形成された第1のMOSトランジスタと第1の不純物層より低濃度の表面濃度を持つ第2の不純物層に形成された第2のMOSトランジスタとで構成する事により、駆動回路内の高電圧印加部分でもホットキャリアによる特性劣化や基板効果によるしきい電圧上昇が起こりにくし、かつ、電圧の低い部分は高集積化を図り、高信頼度かつ高集積な電荷転送装置を実現する事は、第1の発明と同様に同一半導体基板上に電荷転送手段と駆動回路を有する電荷転送装置の高信頼度高集積化に広く用いる事ができる。

【0104】(v) 容量

本発明においては、図1に示す様に増幅器11のアナログ出力電圧を保持する第1出力保持容量14と第2出力保持容量17-1、17-2を必要とする。電荷転送手段を備える電荷転送装置に於て電荷転送手段を構成するゲート電極とチャンネル層との間にできる容量をアナログ電圧の保持容量に用い電荷転送手段の出力を処理する回路を構成する事は周知の技術である。(例えば、ジェイ、テイー、ケイビス他; アイイーイーイージャーナルオブソリッドサーキット 14巻 65頁から73頁 1979年2月 J.T.CAVIES et al.; IEEE J. Solid-State Circuits, VOL. SC-14, pp. 65-73 Feb. 1979) この技術は、プロセス工程を付加する事なく容量形成が可能となるという利点を持つ。しかし、電荷転送手段を低電圧動作させるためにチャンネルn層の濃度を低くすると容量値が強い電圧依存性を持つという欠点を持つ。この結果、図1に示す実施例では、リセット雑音や増幅器の直流電圧のばらつきによる固定パターン雑音の除去精度が低下し、第2出力保持手段17-1、17-2から読み出される信号電荷の非線形性が大きくなる。そこで、本発明では、垂直電荷電荷転送手段2のn型チャンネル層88にホットダイオードを構成するn層85を付加しプロセス工程の増加なく高濃度化を図った。さらに、第1出力保持容量14と第2出力保持容量17-1、17-2は読みだしスイッチ16-1、16-2から読み

出される信号電荷量を大きくするために、大きな容量値を持つ必要がある。そこで、本発明では、垂直電荷転送手段2のゲート絶縁膜より薄い絶縁膜をゲート電極とチャンネルn層の間の絶縁膜に用いた。以下、図13を用いて本発明の容量の構造を説明する。

【0105】図13は図1の第1出力保持容量14のB-B'-B'の断面構造図を示す。図中85、88、89、vsubは図9、図12と同じ、111から113、117、118、v1は図12と同様である。121は容量形成用電極、122は薄いゲート酸化膜118より単位面積当たりの大きい絶縁膜、123は容量形成用電極と垂直電荷電荷転送手段2のn型チャンネル層88とホットダイオードを構成するn層85に接続されたn型拡散層とをつなぐ配線である。容量の一端をなすn型拡散層113は増幅器11の出力に接続され、他端をなすゲート電極89は高インピーダンスとなる書き込みスイッチ16-1、16-2の入力端子に接続される。なお、第2出力保持容量17-1、17-2も同じ構造を持ち、容量の一端をなすn型拡散層113は接地され、他端をなすゲート電極89は高インピーダンスとなる読みだしスイッチ17-1、17-2の入力端子に接続される。

【0106】本実施例によれば、第1に、容量の一端を垂直電荷電荷転送手段2のn型チャンネル層88とホットダイオードを構成するn層85に接続されたn型拡散層により構成されているのでプロセス工程を増加することなく容量の電圧依存性が小さくできるので、リセット雑音や増幅器の直流電圧のばらつきによる固定パターン雑音の除去精度を向上させ、第2出力保持手段17-1、17-2から読み出される信号電荷の非線形性を小さくできる。なお、ホットダイオードを構成するn層85が垂直電荷転送手段2のn型チャンネル層88より十分に大きい場合には、垂直電荷転送手段2のn型チャンネル層88を形成しなくても良い。

【0107】第2に、本実施例によれば、ゲート電極89とn型チャンネル層88とホットダイオードを構成するn層85間の絶縁膜を従来技術の様に垂直電荷転送手段2の厚いゲート酸化膜88でなく薄いゲート酸化膜118で構成する事により、単位面積当たりの容量値を大きくでき、高集積化が図れる。

【0108】第3に、本実施例によれば、ゲート電極89をpウェル111とは反導電型で電気的に分離されたn型チャンネル層88とホットダイオードを構成するn層85からなる電極と容量形成用電極121で挟み容量を形成し、かつ、ゲート電極122を高インピーダンスノードに接続し、n型チャンネル層88とホットダイオードを構成するn層85からなる電極と容量形成用電極121は低インピーダンスノードに接続しているので、特開平5-283614号公報に記載された様にn型基板81やウェル111からの雑音や、外部の雑音源により出力が影響されない。なお、絶縁膜122の単位面積当たりの容量値を薄いゲート酸化膜118の容量値より大きくしなくてもよい場合には、例えば、容

量形成電極をアルミ配線層と共用化し、絶縁膜122をゲート電極とアルミ配線層間の層間絶縁膜として、プロセス工程の簡略化を図ってもよい。

【0109】なお、第1のウェル111を第3のpウェル82としても、第2の2重ウェル91と第3のウェル82としても良い。また、第2の保持手段17-1、17-2の場合の様に容量の一端をなす電極がn型チャネル層88とホットダイオードを構成するn層85に接続されたn型拡散層の電位が各列で同じ場合には、横方向の分離を行なうためのロコス酸化膜117とフィールドp層をB'の領域には形成せず、n型チャネル層88とホットダイオードを構成するn層85を全面に形成し集積度を高める事ができる。

【0110】なお、行選択手段を構成する転送パルス発生手段7を構成する第1のブートストラップ容量66、ブートストラップ容量70、高耐圧化MOS71のブートストラップ容量72では、容量の両端子間に印加される電圧が大きいいため、従来技術と同様に、図10もしくは図11のデプレッション型nMOSと同様の構造とする。即ち、ゲート電極89とnチャネル層88の間の絶縁膜は垂直電荷転送手段2と同じ厚いゲート酸化膜90を用いて絶縁膜の耐圧不良を防止する。また、下部電極はnチャネル層88だけで構成し、深いホットダイオードを構成するn層85の付加によるn型拡散層113と基板81間のパンチスルー耐圧の低下を防ぐ。なお、ブートストラップ容量66、70、72のゲート端子側（例えば図7の端子イ、ロ）はゲート電極89に接続し、ブートストラップ時にはnチャネル層に対し常にゲート電極を正としてゲート電極下の反転層が無くならないようにしている。

【0111】以上、本発明の容量の構造を、図1で述べた全体構成と駆動方式を持つ素子に適用した場合について述べたが、本発明の適用範囲は図1の素子に限定されるものではなく、以下に述べる変形が可能である。

【0112】出力保持容量の一端を電荷転送手段を構成するゲート電極で構成し、他端を第2導電型の不純物層内に設けられた光電変換素子を構成する第1導電型の不純物層を備える不純物層で構成する事により、出力保持容量の容量値の電圧依存性を緩和する事は電荷転送手段や増幅手段の具体的な形態によらず広く実施できる。例えば、以下の素子に図1に示す水平走査手段を適用した素子で実施できる。即ち、図1と同じ様に駆動回路が順次駆動パルスを供給する駆動手段と行選択手段で構成されるが駆動法の異なる特開昭58-188156号公報、特開昭57-78167号公報に記載された素子。さらに、行選択手段が図1と事なり通例のインターラインCCDと同様に垂直電荷転送素子への転送を一括して行なう特開昭62-237871号公報、特開平4-286282号公報に記載の素子。駆動が図1と事なりインターライン型CCDと同様の多相の外周パルスにより行なわれる特開昭54-75927、特開昭57-07486号公報、特開昭58-107670号公報、特開昭62-230270号公報、特開昭60-247382号公報、特開昭63-62480号公

報、特開昭64-54879号公報記載の素子に適用できる。また、以上の2次元素子や通例のインターライン型CCDやテレビジョン学会技術報告CE'91-12 (Feb. 1991)に記載の一次元固体撮像素子の出力端子に特開平1-277066に記載された様な相関2重サンプリング回路を適用する場合でも実施できる。

【0113】第2の実施例

本発明者は特開平5-103272号公報にて、CCD型撮像素子の駆動に必要な多値の電圧レベルのパルスを発生させる電圧発生器を内蔵化してドライバチップをなくすとともにDC-DC変換器の数を減らし、CCD型撮像素子の使い勝手を向上させ、撮像装置の低消費電力化を図る事を提案した。本発明の第1の目的の固体撮像素子は、通例のインターライン方式CCD型撮像素子に比べ、駆動手段、行選択手段、水平走査手段を駆動するためのパルスの負荷容量が小さいので、電流駆動能力の小さな占有面積の小さな電圧変換器を内蔵化することで、正の単一電源駆動信号と正電源だけ駆動できる素子を実現できる。第1の実施例では、駆動パルス発生手段4を備える事により、駆動手段を単一の正電圧値を持つ駆動信号と駆動信号と等しい電圧値を持つ正電源並びに駆動パルスの低レベル電圧と等しい電圧値の負電源とにより駆動した。また、転送パルス発生手段7を設ける事により、行選択手段を単一の正電圧値を持つ駆動信号と、低レベルが接地電圧で高レベルが単一の正電圧値より高い正電圧値を持つ前置転送パルスと転送パルス、駆動信号と等しい電圧値を持つ正電源並びに駆動パルスの低レベル電圧と等しい電圧値の負電源とにより駆動した。さらに、出力ゲート2-4を設けて垂直電荷転送手段2を負値の駆動パルスで駆動し信号電荷の電圧への変換を11から13よりなる容量帰還型電荷電圧変換器で構成する事により、水平走査手段内の増幅器11の電源を正電源電圧値とした。この結果、水平走査手段内の信号電圧が正電源電圧値を越えることがなくなるので、容易に水平走査手段を単一の正電圧値を持つ駆動信号と駆動信号と等しい電圧値を持つ正電源で駆動できる。そこで、第2の実施例では、行選択手段に、正の単一電源駆動信号を昇圧して第2の電圧値を高レベルに持つ転送パルスを転送パルス印加線に発生する転送パルス昇圧器と、正の単一電源駆動信号を昇圧して正電源の電圧値より高く第2の電圧値より低い第3の電圧値を高レベルに有する前置転送パルスを前置転送パルス印加線に供給する前置転送パルス昇圧器とを付加し、垂直電荷転送手段2の電荷転送制御部の一水平の電極を結ぶ電荷転送制御駆動線に正の単一電源駆動信号と負電源とから負値の電圧を低レベルに持つ駆動パルスを発生する電荷転送制御部駆動パルス発生器を設け、ドライバチップを設けなくても正の単一電源駆動信号だけで素子を駆動できるようにした。更に、正電源から昇圧により第2の正電源電圧を発生する基板電圧発生器と駆動パルスの低レベルと等しい電圧値を持つ

負電源電圧を発生する負電圧発生器を設け、直流電圧も一正電源だけで済む様にしDC-DC変換器を不要にした。以上の結果、本実施例の固体撮像素子は、ドライバチップもDC-DC変換器も必要とせず、正の単一電源駆動信号と正電源だけ駆動できる。以下、図15と図16を用い説明をする。図15は、第2の実施例の全体回路構成を示す図、図16(a)は、図15の前置転送パルス昇圧器141の回路構成図、同図(b)は同図(a)の回路の駆動パルスタイミング図である。

【0114】図15中、1から10、19は図1と同様、140は図1の11から18からなる増幅手段、74、75は図7(a)、図8(a)と同様、141は前置転送パルス昇圧器、142は転送パルス昇圧器、143-1、143-2は水平走査回路19の端子H1、H2に接続された2相シフトパルス線、144は直流クランプ電圧印加線、145、146はそれぞれ電荷制御部を構成するゲート2-2、電荷蓄積ゲート2-3に駆動パルスを発生する電荷転送制御部駆動パルス発生器、147は電荷制御部を構成する出力ゲートに電荷蓄接地電圧と転送パルスの低レベル負値電圧 v_l の中間の直流電圧を印加する出力ゲート直流バイアス発生器、148は正電源から昇圧により第2の正電源電圧 v_{sub} を発生する基板電圧発生器、149は微細なnMOSトランジスタのウェルに印加されるバックバイアス電圧 v_{bb} を発生するバックバイアス電圧発生器、150は駆動パルスの低レベルと等しい電圧値 v_l を持つ負電源電圧発生器である。T1、T2、TIN、V1、V2、VIN、FA、FB、RG、CP、SH1、SH2、H1、H2、HIN、O1、O2、Vcc、GNDは図1と同じ、V3T、V4Tは正の電源の電圧値より高い第2の電圧値 v_h を高レベルに持つ転送パルスを発生させるための正の単一電源駆動信号印加端子、V3LT、V4LTは高レベルが正の電源電圧値 v_{cc} より高く第2の電圧値より低い第3の電圧値 v_{hm} の前置転送パルスを発生させるための正の単一電源駆動信号印加端子、SBTはゲート2-2の駆動パルスを発生させるための正の単一電源駆動信号印加端子、STTは電荷蓄積ゲート9の駆動パルスを発生させるための正の単一電源駆動信号印加端子である。本実施例では、図1の端子VCに印加された直流クランプ電圧と垂直電荷転送手段2の駆動パルスの高レベル電圧値 v_m は接地電圧としている。また、各端子に印加されるパルスのタイミングは、図2で、端子H1、H2に印加されるパルス ϕ_{H1} 、 ϕ_{H2} を連続とし、端子V3T、V4T、V3LT、V4LTに ϕ_{V3} 、 ϕ_{V4} 、 ϕ_{V3L} 、 ϕ_{V4L} と同じタイミングで低レベルを接地電圧、高レベルを正電源電圧値 v_{cc} のパルスを印加し、端子SBT、STTに ϕ_{SB} 、 ϕ_{ST} を反転し低レベルを接地電圧、高レベルを正電源電圧値 v_{cc} としたパルスを印加したものである。以下、パルス電圧変換器141、142、145、146と電圧発生器147から150の構成と動作を説明する。

【0115】前置転送パルス昇圧器141には、転送パルスの駆動パルス線への印加時間を短くするため短時間で正の単一電源駆動信号を昇圧して第3の電圧値 v_{hm} を高レベルに有する前置転送パルスを前置転送パルス印加線に供給する事が必要とされる。これを実現する電流駆動能力を得るには比較的大きな容量値を持つチャージポンプ容量が必要であり、昇圧器面積を小さくできない。さらに、図1で述べた一水平走査期間に2行の信号を読み出す際には、行選択制御手段6で同時に選択された2行の駆動パルス線に異なる時間に転送パルスを印加しなければならず、2個の前置転送パルスを発生させる必要が生じる。この結果、2個の昇圧器を必要とする。そこで、2行同時独立読みだしを行ない2個の前置転送パルスを発生させる際、昇圧器を共用することでチャージポンプ容量の個数を $1/2$ とし昇圧器の面積低減を図った。さらにチャージポンプ容量に印加される昇圧パルスの電圧振幅を負電源電圧値と正電源電圧値を足した電圧振幅として、必要な容量値低減を実現した。

【0116】以下、図16を用いて、前置転送パルス昇圧器141の構成と動作を説明する。図16(a)は、図15の前置転送パルス昇圧器141の回路構成図、同図(b)は同図(a)の回路の駆動パルスタイミング図である。図16(a)中、B1が端子V3LT、V4LTに印加される前置転送パルス印加線への印加時間を決める2つの正の単一電源駆動信号を入力としその論理和を出力するオア回路である。mn1、mn2、mn3はオア回路B1を構成するnMOS、mp1、mp2、mp3はオア回路B1を構成するpMOSである。B2が端子H1に印加されるシフトパルスと、端子V3LTもしくはV4LTに印加される正の単一電源駆動信号との論理積を出力するアンド回路である。mn4、mn5、mn6、mn7はアンド回路B2を構成するnMOS、mp4、mp5、mp6、mp7はアンド回路B2を構成するpMOSである。B3が端子Y2のアンド回路の出力パルスの電圧振幅を負電源電圧値 v_l と正電源電圧値 v_{cc} を足した電圧振幅とするための電圧変換器で、155がゲート接地されたPMOS、156がアンド回路の反転出力値端子Y5がゲートに接続されたnMOSである。なお、本電圧変換器の構成は図6で述べたものと同様である。B4が端子Y1のオア回路の出力を昇圧する昇圧器である。151-1、151-2がゲートに正電源 v_{cc} が印加されオア回路B1の出力により昇圧器内の端子Y6、Y4を初期設定する初期電圧設定nMOS、152がチャージポンプnMOS、153はチャージポンプ容量、154がダイオード接続された複数個のトランジスタからなる不要な高電圧が発生するのを防ぐ電圧リミッタである。B5が端子Y4の昇圧器出力を端子V4LTもしくはV3LTに印加された正の単一電源駆動信号に基づき前置転送パルス印加線74-1もしくは74-2に出力するための選択スイッチである。157-1、157-2がスイッチ用nMOS、158-1、158-2がスイッチ15

7-1、157-2のオンオフを制御するための駆動信号入力スイッチ、159-1、159-2がブートストラップ用容量、160-1、160-2がオア回路の反転値出力端子Y7にゲートが接続されたリセットスイッチである。端子Vcc、GND、VL、V3LT、V4LT、H1は図15と同様、端子V3L、V4Lは図1と同様である。ロジック回路を構成するmn1からmn7、mp1からmp7およびPMOS155は、図12のトランジスタで構成される。更に、端子Y6の高レベルは2vcc以下にリミットされるので、初期電圧設定nMOS151-1、151-2、チャージポンプnMOS152、電圧リミッタ154も図12のトランジスタで構成される。また、nMOS156、スイッチ用nMOS157-1、157-2、駆動信号入力スイッチ158-1、158-2、リセットスイッチ160-1、160-2には高い耐圧が必要になるので、図11に示すエンハンスメント型nMOSが用いられる。チャージポンプ容量153の両端間の電圧はvcを越えるのでブートストラップ容量66等と同じ厚い酸化膜を持つ図11のデプレッション型nMOSと同様の構造とする。端子Y3は端子Y6より常に電圧が低いので、端子Y6をはゲート電極89に接続する。また、昇圧器B4（チャージポンプ容量153は除く）と選択スイッチB5のpウェル内には接地電圧が印加され、基板効果によるしきい電圧上昇、拡散層ウェル間の電圧が低減される。端子Y1、Y7はそれぞれオア回路Bの出力とその反転出力端子、端子Y2、Y5はアンド回路B2の出力とその反転出力端子、端子Y3は昇圧パルス電圧変換器B3の出力端子、端子Y4は昇圧器B4の出力端子、端子Y6は昇圧器内の端子、端子P1はスイッチ157-1もしくは157-2のゲート端子である。図16(b)において、φV3LT、φH1は、それぞれ図1の端子V3LT、H1に印加されるパルス電圧を示す。さらに、v1、vccはそれぞれ負電源電圧値と正電源電圧値である。vh1はゲート端子P1のY4端子が初期設定された時の値、vh2はゲート端子P2の最大電圧値、vthはチャージポンプnMOS152のしきい値電圧である。vhmは正電源電圧値より高く第2の電圧値より低い第3の電圧値を示す。以下、図(b)を参照しながら端子V3Lに前置転送パルスを発生する時の動作を例に取り説明する。まず、端子V3LTに印加される電圧がvcになるとオア回路出力端子Y1もvcになり、初期電圧設定nMOS151-1、151-2を介して昇圧器内の端子Y6と出力端子Y4の電圧がvcc-vthとなる。同時にスイッチ157-1のゲート端子P1も駆動信号入力スイッチ158-1を介してまずvcc-vtheになりスイッチ157-1がオンする。この結果、端子V3Lの電圧がvcc-vthまで上昇しブートストラップ容量159-1により端子P1の電圧はvcc-vthe以上の電圧vh1となる。一方、この時、端子V4LTの印加電圧は接地電圧であるので、スイッチ157-2はオンする事はない。なお、この時にオア回路の反転出力端子Y7にゲートの

接続されたリセットスイッチ160-1、160-2はオフしている。(時刻t1)次いで、端子H1のパルスに同期して、アンド回路出力端子Y2の電圧がvccとなり、昇圧パルス電圧変換器出力端子Y3の電圧がv1からvcとなる。この結果、チャージポンプ容量153を介して昇圧回路内の端子Y6が2vcc-vth-v1(v1:負値)となり、チャージポンプnMOSがオンし昇圧器出力端子Y4の電圧が上昇する。これに従い、V3L端子電圧及びゲート端子P1の電圧も上昇する。この時、
$$c_p((2vcc-vth-v1)-(vhm+vth))=c_l(vhm-(vcc-vth))$$
等しく設定すれば、端子Y4とV3L端子の電圧をVhmとすることが出来る。ここに、clは前置転送パルス線74-1に付随する寄生容量、cpはチャージポンプ容量153の容量値である。(時刻t2)ついで、端子H1の電圧が0vとなると、アンド回路出力端子Y2の電圧も0vになり、昇圧パルス電圧変換器出力電圧Y3がアンド回路の反転出力端子Y5にゲートの接続されたnMOS156によりv1電圧になる。この結果、昇圧回路内の端子Y6の電圧は時刻t1と同じvcc-vthとなる。(時刻t3)この後、再び、端子H1の電圧がvccになると、昇圧パルス変換器出力端子Y3の電圧がv1からvccとなり、昇圧器出力端子Y4の電圧がvhm以上に上昇しようとする。しかし、電圧リミット回路154が、昇圧回路B4の出力端子Y4の電圧がvhm以上になるとオンし、電圧上昇は起こらない。(時刻t4)以降同様の動作が起き、
$$c_l(vhm-(vcc-vth))*1/f_c$$
(fc:端子H1に印加されるシフトパルス周波数)の無効電流がながれるが、アンド回路により昇圧器が動作するのは端子V3LTの電圧がvcである短い時間としているので、消費電力は小さい。ついで、端子V3LTに印加される電圧が0vになるとオア回路出力端子Y1の電圧も0vになり、初期電圧設定nMOS151-1、151-2を介して昇圧器内の端子Y6と出力端子Y4の電圧が0vとなる。同時にスイッチ157-1のゲート端子P1も駆動信号入力スイッチ158-1を介して0vになりスイッチ157-1がオフする。一方、オア回路反転出力端子Y7にゲートの接続されたリセットスイッチ160-1、160-2がオンし、前置転送パルス印加線電圧74-1は0Vとなる。また一方、アンド回路出力端子Y2の電圧は以降0vのまま、昇圧パルス電圧変換器出力端子電圧Y3の電圧はv1電圧のままとなる。(時刻t5)以上で端子V3Lへの前置転送パルス出力が終了する。ついで、端子V4Lへの前置転送パルスの出力が端子V4LTに印加される駆動信号により同様に行なわれる。

【0117】転送パルス昇圧器142は、図16(a)で昇圧器B4内の151-1、152、153をもう1段追加し、端子H2に印加されるシフトパルスを入力とするアンド回路B2と昇圧パルス電圧変換器B3を付加し、その出力を昇圧器B4の追加した段のチャージポンプ容量153に接続

61

したものである。更に、図3の高耐圧化トランジスタ28と同様のトランジスタをリセットスイッチ160-1と160-2と転送パルス印加線75との間に設け、また、スイッチ157-1、157-2には端子Y 4側に図7の71から73の高耐圧化回路を付加し高耐圧化を実現した。端子Y6の高レベルは $2v_{cc}$ 以下にリミットされないので、昇圧器B 4内のトランジスタは図10もしくは図11に示すnMOSが用いられる。端子P1、端子Y 4並びに転送パルス印加線75、71から73の高耐圧化回路のブートストラップノード、昇圧器B 4内の次段昇圧ノードの拡散層は図11に示すオフセット構造を用いる。また、昇圧器B 4（チャージポンプ容量153は除く）と選択スイッチB 5のpウェルには接地電圧が印加され、基板効果によるしきい電圧上昇、拡散層ウェル間の電圧が低減される。なお、昇圧器B 4（チャージポンプ容量153、電圧リミット回路154は除く）のpウェルに初期電圧設定nMOS 15-1と同様のトランジスタを介し端子Y 1の電圧を印加する事により端子V 3 TあるいはV 4 Tの電圧高レベルの時にはpウェル電圧を $v_{cc}-v_{th}$ として基板効果によるしきい電圧上昇を更に低減し昇圧の効率を高めてもよい。更に、より高速の昇圧が必要な時は、最終段のチャージポンプを異なるシフトパルスで行なう昇圧器B 4をもう一つ設ければよい。

【0118】電荷転送制御部駆動パルス発生器145もしくは146は、図5に示す41から43からなる電圧変換器のバッファnMOS 41のゲートに端子SBTもしくはSTTを接続し、電圧変換器出力を接地線と負電源線との間に設けたCMOS反転回路の入力に接続し、反転回路出力を電荷転送制御線8もしくは9に接続するものである。41、42並びにCMOS反転回路は図12に示すトランジスタにより構成される。端子SBTもしくはSTTに印加された正の単一電源駆動信号は41から43よりなる電圧変換器により低レベルを負値とするパルスに変換された後反転され、各電荷転送制御駆動線8もしくは9に印加される。

【0119】出力ゲートバイアス発生器147は特開平5-103272号公報にも記載した広く用いられているダイオード接続されたnMOSトランジスタを接地線と負電源線との間に設けたもので、電圧 v_1 を分圧して接地電圧と転送パルスの低レベル負値電圧 v_1 の中間の直流電圧を電荷転送制御駆動線10に印加する。各トランジスタの端子間の電圧は v_{cc} 以下なので図12のnMOSが用いられる。なお、増幅器11を動作させるための直流バイアス電圧も周知の如く接地線と正電源線間にもうけられた同様の構成の回路により発生する。

【0120】基板電圧発生器148は、既に特開平5-103272号公報図14に提案したと同様の正電源より昇圧した電圧から基板にかかる直流電圧を降圧により発生させ、この降圧器に電圧を調整する手段を付加し、基板電圧の無調整化を図ったものである。この際、昇圧は端子H 1に

62

印加される連続的なシフトパルスで行なわれる。なお、図1、図15の実施例では特公平4-46504号公報に記載の方法で感度調整が行なわれるので、基板に感度可変動作のためのパルスを付加する回路は設けない。更に、本発明で用いられる図10に示すデプレッショントランジスタはしきい電圧の絶対値が小さいので、バイアス電圧の発生回路の電源は昇圧回路からの出力を用いる。昇圧回路、2つのバイアス電圧発生回路は図12のnMOSで構成され、電圧降下用nチャネルデプレッションMOSトランジスタ、負荷トランジスタは図10に示すトランジスタで構成される。昇圧回路内のチャージポンプ容量には v_{cc} 以上の電圧が印加されないので図13で示す容量で容量形成用電極121を備えないものを用いる。なお、1段の昇圧で不足する場合は昇圧器の段数を増やせばよい事というまでもない。

【0121】バックバイアス電圧発生器149、負電源電圧発生器150は、ダイナミックメモリ、スタティックメモリ等に広く用いられているチャージポンプ用容量とダイオード接続されたnMOSからなる負電圧を発生する回路である。（例えば、特公平5-70941号公報第1図参照）チャージポンプは、端子H 1に印加される連続的なシフトパルスで行なわれる。各発生器内の電圧は v_{cc} 以下なので図12のトランジスタが用いられ、図13で示す容量で容量形成用電極121を備えないものを用いる。図1、図15の実施例では、駆動パルス発生手段4、転送パルス発生手段7、電荷転送制御部駆動パルス発生器145もしくは146、出力ゲートバイアス発生器147、前置転送パルス昇圧器141、転送パルス昇圧器142内の負電源線27に貫通電流が流れ、負電源電圧値が安定しない。特に、アナログ電圧を扱う11から18よりなる増幅手段のnMOSのpウェルに印加されるバックバイアス電圧の変動は出力信号の雑音となり、安定化を図る必要が生じた。そこで、図15の実施例では、負電源の発生回路を2つ設け、貫通電流の流れる上記した負電源線は負電源電圧発生器150の出力に接続し、他の部分の電源線はバックバイアス電圧発生器149に接続した。この構成により、上記箇所に流れる貫通電流が貫通電流が流れない箇所のpウェルバックバイアス電圧影響を及ぼさないようにできる。2つの負電圧発生器には端子H 1に印加される連続的なシフトパルスが印加され負電圧の発生が行なわれる。なお、以上の様に素子内部に2つの負電源発生器を設ける場合は、バックバイアス電圧 v_{bb} と駆動パルスの低レベルと等しい電圧値 v_1 を等しくしなくてもよい。更に、大きな電流駆動能力の必要な負電源電圧発生器150のチャージポンプ用容量は外部に設けてもよい。

【0122】本実施例によれば、第1に、正の単一電源駆動信号 $\phi T1$ 、 $\phi T2$ 、 $\phi T3$ を入力すると3、4からなる駆動手段が垂直電荷転送のための低レベルを負値の駆動パルスを駆動パルス線5に順次供給し、正の単一電源駆動信号 ϕSBT 、 ϕSTT を入力すると電荷転

送制御部駆動パルス発生器145、146が電荷転送制御部内の2-2と2-4に接続された電荷転送制御駆動線に負値の電圧を低レベルに持つ駆動パルスを発生し、さらに、出力ゲートバイアス発生器147が接地電圧と転送パルスの低レベル負値電圧 v_1 の中間の直流電圧を電荷転送制御駆動線10に印加し、正の単一電源駆動信号 ϕV_1 、 ϕV_2 、 ϕVIN 、 ϕFA 、 ϕFB 、 ϕV_3LT 、 ϕV_4LT 、 ϕV_3T 、 ϕV_4T を入力すると6、7、141、142からなる行選択手段が光電変換素子の信号電荷を垂直電荷転送手段に転送するための正の電源電圧値より高い第2の電圧値を高レベルに持つ転送パルスを駆動パルス線に供給し、正の単一電源駆動信号 ϕCP 、 ϕRG 、 ϕSH_1 、 ϕSH_2 、 ϕH_1 、 ϕH_2 、 ϕHIN を印加すると垂直電荷転送手段の出力端子毎に設けられた増幅器11とリセットスイッチ12を有する11から18よりなる増幅手段と水平走査回路19とで構成される水平走査手段が垂直電荷転送手段2より転送された信号電荷を増幅し出力している。この結果、電圧変換器が大きな面積をしめることなく、複数の正の単一電源駆動信号と正電源と駆動パルスの低レベルと等しい電圧値を持つ負電源と上記半導体基板に印加される第2の正電源により動作させる事ができ、ドライバチップを不要とできる。なお、本実施例では、垂直電荷転送手段が2-2から2-4よりなる電荷転送制御部を持つ場合をのべたが、電荷転送制御部が出力ゲート2-4だけで構成され、かつ、その駆動電圧が接地電圧とする時は、電荷転送制御部駆動パルス発生器145、146と、出力ゲートバイアス発生器147は設けなくともよい。

【0123】第2に、本実施例によれば、基板電圧発生器148が端子H1に印加される連続的な正の単一電源駆動信号により正電源電圧 v_{cc} から第2の正電源電圧 v_{sub} を発生するので、素子外部の基板電圧を発生するDC-DC変換器を不要とできる。

【0124】第3に、負電圧発生器150が、端子H1に印加される連続的な正の単一電源駆動信号により駆動パルスの低レベルと等しい電圧値を持つ負電源電圧を発生するので、素子外部の駆動パルスの低レベルと等しい電圧値を発生するDC-DC変換器を不要にできる。また、負電源電圧発生器150は、単一正電源で動作する微細なnMOSが形成されるpウェルに印加される基板効果係数の低減、フィールドの寄生MOSのしきい電圧の確保、接合容量の低減のための負値のバックバイアス v_b を発生するバックバイアス電圧発生器149と別として、負電源電圧発生器150に流れる貫通電流により微細なnMOSの構成されるpウェルのバックバイアス電圧が不安定になることを防ぐ事ができる。

【0125】本実施例では以上の3つを同時に実施する事により、ドライバチップもDC-DC変換器も必要とせず、正の単一電源駆動信号と正電源だけ駆動できる。

【0126】第4に、本実施例によれば、正の単一電源

駆動信号 ϕV_1 、 ϕV_2 、 ϕVIN 、 ϕFA 、 ϕFB 、 ϕ を入力すると、行選択制御手段6が選択行を特定するための制御信号を発生し、転送パルス昇圧器142が正の単一電源駆動信号 ϕV_3T 、 ϕV_4T を昇圧して転送パルス印加線75に正の電源の電圧値より高い第2の電圧値を高レベルに持つ転送パルスを発生させると、転送パルス発生手段7が制御信号に基づき転送パルス印加線に印加された転送パルスを選択行の駆動パルス線5に出力するので、行選択手段を高集積化でき、かつ、転送パルスを発生する外部ドライバが不要化となる。

【0127】さらにまた、正の単一電源駆動信号 ϕV_3T 、 ϕV_4T が入力されると、オア回路B1が論理和を出力し、昇圧器B4が論理和から第2の電圧値を高レベルに持つ転送パルスを発生し、選択スイッチB5が昇圧器の出力を ϕV_3T 、 ϕV_4T に基づき2本の転送パルス印加線の各々出力するので、2行同時独立読みだしを行なう際、チャージポンプ容量153の個数を $1/2$ とし転送パルス発生器142の面積を低減できる。また、昇圧パルス電圧変換器B3によりチャージポンプ容量に印加される昇圧パルスの電圧振幅を負電源電圧値と正電源電圧値を足した電圧振幅として、必要な容量値低減を実現した。

【0128】第5に、本実施例によれば、前置転送パルス昇圧器141が正の単一電源駆動信号 ϕV_3LT 、 ϕV_4LT を昇圧して前置転送パルス印加線74に正の電源の電圧値より高く第2の電圧値より低い第3の電圧値を高レベルに有する前置転送パルスを発生させると、66から68もしくは66、76から78、68からなる前置転送パルス電圧変換器が前置転送パルスを選択行に出力し転送パルススイッチMOS69のゲート端子イの電圧を正の電源の電圧値 v_{cc} より高く第3の電圧値 v_{hm} より低い第4の電圧値 $v_{cc}-v_{thd}$ とした後に、転送パルスを印加する事によりブートストラップ容量70により転送パルススイッチMOS69のゲート端子イの電圧を昇圧している。これにより、外部に前置転送パルスを発生するドライバを設ける事なく、正の電源の電圧 v_{cc} の3倍以上の電圧を持つ転送パルスを、正の電源の電圧値 v_{cc} 以下の制御信号をトリガーとして選択行に出力する事を可能としている。さらに、前置転送パルス昇圧器141は、転送パルス昇圧器と同様の構成を持ち、2行同時独立読みだしを行なう際、チャージポンプ容量153の個数を $1/2$ とし前置転送パルス発生器141の面積を低減できる。また、昇圧パルス電圧変換器B3によりチャージポンプ容量に印加される昇圧パルスの電圧振幅を負電源電圧値と正電源電圧値を足した電圧振幅として、必要な容量値低減を実現した。

【0129】以上、本発明を、図15で述べた全体構成と駆動方式を持つ素子に適用した場合について述べたが、本発明の適用範囲は図15の素子に限定されるものではなく、以下に述べる変形が可能である。正の単一電源駆動

信号を入力する事により垂直電荷転送手段の一水平の電極を結ぶ駆動パルス線に垂直電荷転送のための低レベルが負値の駆動パルスを順次供給する駆動手段と、正の単一電源駆動信号を入力する事により該光電変換素子の信号電荷を一水平行ずつ該垂直電荷転送手段に転送するための正の電源電圧値より高い第2の電圧値を高レベルに持つ転送パルスを該駆動パルス線に供給する行選択手段と、上記垂直電荷転送手段の出力端子毎に設けられた増幅器と該増幅器の入力端子に接続されたリセットスイッチを有する増幅手段と該増幅手段の出力を選択して出力するための正の単一電源駆動信号で動作する水平走査回路からなる水平走査手段を備える事で、素子内部に設けられる電圧変換器に必要な電流駆動能力を小さくし占有面積を小さくして正の単一電源駆動信号で駆動できる素子を実現することは、駆動手段、行選択手段の電圧変換器の具体的形態によらず実施できる。例えば、図14の従来例の駆動手段136の各入力端子直後に、電荷転送制御部駆動パルス発生器145、146と同様の電圧変換器を設けてもよい。また、図14の従来例の駆動手段137の各入力端子に転送パルス昇圧器142と同様の昇圧器を設けてもよい。さらに、垂直電荷転送手段内の電荷転送制御部の具体的形態は既に述べた様に様々であり、その形態に応じ、電荷転送制御部駆動パルス発生器145、146並びに出力ゲートバイアス発生器147を変更すればよい。さらに、増幅手段の具体的形態も既に述べた様に様々なものが実施でき、また、増幅器11を通例のインターライン型CCD撮像素子で行なわれている様にソースフォロワー回路で構成し帰還容量13をなくしリセットスイッチを正電源に接続されたnMOSとしてもよい。

【0130】第3の実施例

第2の実施例は、外部から正の単一電源駆動信号と正電源とで駆動が可能である。しかし、多数の正の単一電源駆動信号を発生するタイミング発生器を必要とする。特に本発明では、素子駆動のために従来のインターライン型CCDに比し多数のタイミング信号を必要とするためピン数が多くなり、実装が難しくなるという課題がある。そこで、第3の実施例では、タイミング発生器を内蔵して外部から単一の基本クロックとアース電源と正電源の3つを印加することにより映像信号出力を得る様にしたものである。図1に示した第1の実施例では、CCD型撮像素子でありながら、垂直並びに水平走査がシフトレジスタを有する行選択制御手段6並びにシフトレジスタからなる水平走査回路19により行なわれる。しかも、それぞれが、正の単一電源駆動信号により動作するので、特開昭52-149022号公報、特公平5-24711号公報に記載されたブランキング期間に相当するシフトレジスタを設けリングカウンタを構成し、ブランキング期間のシフトレジスタ出力から各種信号を得る事により、簡単にタイミング発生器を構成できる。第3の実施例は、以上の構成のタイミング発生器を図15に示す第2の実施例

の固体撮像素子にて実現したものである。更に、本実施例では、端子VDDに印加された外部電源電圧 v_{dd} を降圧して内部の正電源電圧 v_{cc} とするための電源電圧降下器からタイミング発生器に電圧を供給し消費電力低減と集積度向上を実現した。なお、外部電源電圧値 v_{dd} は高い電圧を必要し、かつ、大電流の流れる増幅器11の電源電圧と同じ値とした。以下、図17を用い説明をする。図17は、第3の実施例の全体回路構成を示す図である。なお、説明を簡単にするため図15に示した接地線、2本の負電源線は省略する。

【0131】図17中、1から10、19は図1と同様、74、75、143から147、150は図15と同じである。161は基本クロックから2相のシフトクロック $\phi H1$ 、 $\phi H2$ を供給するフリップフロップ、162は水平走査回路19に付加された水平ブランキング期間に相当する段数を持つ水平遅延用シフトレジスタ、163は電源投入時に端子STHに一回だけ入力されるトリガーパルスと水平走査回路19の最終段出力との論理和をとるオア回路、164は水平遅延用シフトレジスタ162の各段の出力から ϕRG 、 ϕCP 、 $\phi SH1$ 、 $\phi SH2$ のタイミング信号と、 ϕSB 、 ϕSTT 、 ϕTIN 、並びにタイミング発生手段3のシフトパルスのシフト時間 T を決めるゲート信号、 $\phi V1$ 、 $\phi V2$ 、端子HBKより出力される水平ブランキングパルスを発生する複数のRSフリップフロップを含む論理回路、165は $\phi H1$ 、 $\phi H2$ と164で発生したゲート信号の論理積を取り $\phi T1$ 、 $\phi T2$ を発生するアンド回路、166は行選択制御手段6内のシフトレジスタに付加された垂直ブランキング期間に相当する段数を持つ垂直遅延用シフトレジスタ、167は電源投入時に一回だけ端子STVに入力されるトリガーパルスと垂直遅延用シフトレジスタ166の最終段出力との論理和をとるオア回路、168は垂直遅延用シフトレジスタ166の初段と最終段出力から端子VBKより出力される垂直ブランキングパルスを発生するRSフリップフロップ、169は垂直ブランキングパルスを $1/2$ 分周して ϕFA 、 ϕFB を作る $1/2$ 分周器、170は ϕVIN によりリセットされ $\phi V1$ 、 $\phi V2$ をカウントするカウンタCVと ϕHIN によりリセットされ $\phi T1$ 、 $\phi T2$ をカウントするカウンタCTと両カウンタの出力が合致した時を基点にして $\phi V3LT$ 、 $\phi V3$ 、 $\phi V4LT$ 、 $\phi V4$ を発生する論理回路、171は垂直ブランキング期間内の所定の時刻にタイミング発生手段3内のシフトレジスタをリセットするリセットパルスを伝達するための配線、172は消費電力低減と集積度向上のため端子VDDに印加された外部電源電圧 v_{dd} を降圧して内部の正電源電圧 v_{cc} とするための電源電圧降下器である。なお、外部電源電圧値 v_{dd} は高い電圧の必要し、かつ、大電流の流れる増幅器11の電源電圧と同じ値とする。173は水平走査手段を構成する論理回路164から出力される内部電源 v_{cc} と同じ高レベルを持つタイミング信号の高レベルを外部

電源電圧 v_{dd} とするためのパルス電圧変換器、174は水平走査手段を構成する走査回路19から出力される内部電源 v_{cc} と同じ高レベルを持つ選択信号の高レベルを外部電源電圧 v_{dd} とするためのパルス電圧変換器、175は前置転送パルス昇圧器、176は転送パルス昇圧器、177は基本クロックの高レベルを外部電源電圧 v_{dd} とするためのパルス電圧変換器、178は外部電源電圧 v_{dd} から昇圧により第2の正電源電圧 v_{sub} を発生する基板電圧発生器、179は微細な $nMOS$ トランジスタのウェルに印加されるバックバイアス電圧 v_{bb} を発生するバックバイアス電圧発生器、180は駆動パルスの低レベルと等しい電圧値 v_1 を発生する負電源電圧発生器、181は図1の11から18からなる増幅手段である。 $\phi T1$ 、 $\phi T2$ 、 ϕTIN 、 $\phi V1$ 、 $\phi V2$ 、 ϕVIN 、 ϕFA 、 ϕFB 、 $\phi H1$ 、 $\phi H2$ 、 ϕHIN は図2と同じ、 $\phi V3T$ 、 $\phi V4T$ 、 $\phi V3LT$ 、 $\phi V4LT$ 、 ϕSBT 、 ϕSTT は図15の端子 $V3T$ 、 $V4T$ 、 $V3LT$ 、 $V4LT$ 、 SBT 、 STT に印加されるパルス電圧を示し、 ϕRGH 、 ϕCPH 、 $\phi SH1H$ 、 $\phi SH2H$ は図2で高レベル電圧が外部電源電圧 v_{dd} となったパルスを示し、各回路ブロックの接続関係を明瞭にするために記載した。 $O1$ 、 $O2$ 、 GND は図1と同じである。また、 CLK は、高レベルが v_{cc} の基本クロック入力端子、 VDD は外部正電源入力端子、 STH 、 STV は電源投入時に一度だけ入力される高レベルが v_{cc} のトリガパルス入力端子である。 VBK 、 HBK はそれぞれ、映像信号形成のための高レベルが v_{cc} の垂直ブランキングパルス並びに水平ブランキングパルスの出力端子である。電源が投入されると端子 CLK に印加された基本クロックからフリップフロップ161が2相のシフトクロック $\phi H1$ 、 $\phi H2$ を供給する。また、端子 STH に入力されたトリガパルスがオア回路163より水平走査回路19と水平ブランキング期間に相当する段数を持つ水平遅延用シフトレジスタ162で構成されるリングカウンタに入力され巡回を始める。水平走査回路の出力は電圧変換器174で高レベル電圧を外部電源電圧 v_{dd} としたパルスに変換され増幅手段140に供給される。複数個の RS フリップフロップを含む論理回路164は水平遅延用シフトレジスタ162の各段の出力からタイミング信号を電圧変換器173に出力し、電圧変換器173は図2に示す高レベル電圧を外部電源電圧 v_{dd} としたパルス ϕRG 、 ϕCP 、 $\phi SH1$ 、 $\phi SH2$ を増幅手段140に出力する。また、論理回路164は図2に示す ϕSB 、 ϕST を反転し低レベルを接地電圧、高レベルを正電源電圧値 v_{cc} としたパルスを電荷転送制御部駆動パルス発生器145もしくは146に、図2に示す ϕTIN をタイミング発生手段3に、 $\phi V1$ 、 $\phi V2$ を行選択制御手段6に供給する。また、アンド回路165は $\phi H1$ 、 $\phi H2$ と164で発生したのシフトパルスのシフト時間 T を決めるゲート信号との論理積を取り図2に示す $\phi T1$ 、 $\phi T2$ を発生し、タイミ

ング発生手段3に供給する。他方、論理回路164で発生した $\phi V1$ は端子 HBK より映像信号形成のための水平ブランキングパルスとして出力される。また、端子 STV に入力されるトリガパルスはオア回路167を介し行選択制御手段6内のシフトレジスタと垂直ブランキング期間に相当する段数を持つ垂直遅延用シフトレジスタ166で構成されるリングカウンタに入力され、論理回路164で発生した $\phi V1$ 、 $\phi V2$ により巡回が始まる。 RS フリップフロップ168は垂直遅延用シフトレジスタ166の初段と最終段出力から垂直ブランキングパルスを発生し、端子 VBK より映像信号形成のために出力する。 $1/2$ 分周器169は垂直ブランキングパルスを $1/2$ 分周して ϕFA 、 ϕFB を作り、行選択制御手段内のインターレース回路に供給する。一方、171は行選択制御手段による垂直走査が始まる前に垂直電荷転送手段2内に所定の電位障壁を形成するため、垂直遅延用シフトレジスタ166の最終段より数段前の段の出力がタイミング発生手段3内のシフトレジスタをリセットするリセットパルスとして配線171よりタイミング発生手段3に伝達される。

【0132】一方、水平走査期間毎に垂直電荷転送手段2内の電位障壁の移動速度の2ビット分だけ位相の遅れる $\phi V3T$ 、 $\phi V4T$ 、 $\phi V3LT$ 、 $\phi V4LT$ は論理回路170により発生され、前置転送パルス昇圧器175、転送パルス昇圧器176に供給される。即ち、 ϕVIN によりリセットされ $\phi V1$ 、 $\phi V2$ をカウントするカウンタ CV は、 ϕVIN 入力時に1を出力し各水平走査期間毎に1ずつカウント数が増える。一方、 ϕHIN によりリセットされ $\phi T1$ 、 $\phi T2$ をカウントするカウンタ CT は一水平ブランキング期間内の時刻を $\phi T1$ 、 $\phi T2$ のシフト周期 $1/f_c$ を単位として計数する。従って、両カウンタの出力の合致する時刻は、 CV のカウント値が1の時を水平ブランキング内のシフトパルス $\phi T1$ 、 $\phi T2$ のシフト時間 T の始まりの時刻として、各水平走査期間に $1/f_c$ ずつ遅れる事になる。本実施例においては、シフトレジスタ21の各段から2相シフトパルスの双方に同期して180度位相のずれたパルスを出力させ、この双方をタイミング信号として用いているので、垂直電荷転送手段2内の電位障壁の移動速度は $1/2 f_c$ となる。結局、両カウンタの出力の合致する時刻は各水平走査期間毎に電位障壁の移動速度2ビット分だけ位相が遅れる事になる。従って、この両カウンタの出力の合致信号をトリガとして、図2の $\phi V3$ 、 $\phi V4$ 、 $\phi V3L$ 、 $\phi V4L$ と同じタイミングを持つパルスが論理回路により作られ、前置転送パルス昇圧器141、転送パルス昇圧器142に供給される。なお、カウンタ CV 、 CT の最大カウント数は $T * f_c$ である。カウンタ CV はこの値になるとリセットされ再び1からカウントがなされる。

【0133】また、以上のタイミングを発生するための19、6、161から170には、消費電力低減と集積度向上の

ため電源電圧降下器172により端子VDDに印加される外部電源電圧 v_{dd} を降圧して内部の正電源電圧 v_{cc} とした電源が供給される。さらに、高い電圧を必要としないタイミング発生手段3、電荷転送制御部駆動パルス発生器145、146にも降圧された正電源 v_{cc} が供給される。一方、外部電源電圧値 v_{dd} はアナログ電圧を扱うため高い電圧を必要し、かつ、大電流の流れる増幅器11の電源と同じ値としている。同様にアナログ電圧を出力するための増幅手段181には、電圧変換器173から外部電源電圧値 v_{dd} を高レベルに持つ ϕ_{RG} 、 ϕ_{CP} 、 ϕ_{SH1} 、 ϕ_{SH2} が、また、電圧変換器174から高レベル電圧を外部電源電圧 v_{dd} とした水平走査回路の出力パルスが増幅手段181に供給される。更に、高い電圧の必要な駆動パルス発生手段4内の図3から図6に示す高耐圧MOS28、図7、図8に示す転送パルス発生手段7内のブートストラップ用MOS68、73に印加される直流電圧には、外部電源電圧値 v_{dd} が供給される。前置転送パルス昇圧器175内の図16(a)に示す論理動作を行なうオア回路B1、アンド回路B2には、降圧された正電源 v_{cc} が供給される。しかし、高速の昇圧を行なうため、図16(a)に示す昇圧器B4、選択スイッチB5には、降圧しない外部電源が供給される。この2系統の電源で動作する回路ブロックを結ぶために、図16(a)の端子Y1、端子Y3、端子V3LT、V4LTと駆動信号入力スイッチの間にはそれぞれ、パルスの高レベル電圧を v_{dd} にするための電圧変換器が設けられている。転送パルス昇圧器176の構成も転送パルス昇圧器142に同様の変更を加えたものである。基板電圧発生器148にも、高い電圧を必要とするので外部電源が供給される。基板電圧発生器178、駆動パルスの低レベルと等しい電圧値 v_1 を持つ負電源電圧発生器180、バックバイアス電圧 v_{bb} を発生するバックバイアス電圧発生器179にはチャージポンピングの段数を減らすために、パルス電圧変換器177によりの端子CLKに印加される高レベルが v_{cc} の基本クロックを高レベルを外部電源電圧 v_{dd} としたパルスによりチャージポンプを行なう。薄い酸化膜を持つ図12のトランジスタの耐圧は v_{cc} なので、外部電源並びに外部電源電圧の振幅を持つパルスの供給される増幅手段140、パルス電圧変換器173、174、前置転送パルス昇圧器175を構成する昇圧器B4とパルス電圧変換器、転送パルス昇圧器176を構成するパルス電圧変換器、基板電圧発生器178内の昇圧器、負電源電圧発生器179、バックバイアス電圧発生器179を構成するnMOSには図10のエンハンスメント型トランジスタが、pMOSには図12のpMOSでゲート酸化膜を垂直電荷転送手段2と同じ厚いゲート酸化膜90としたものを用いる。なお、このようなpMOSを作成するための付加的工程は不要であることはいうまでもない。また、前置転送パルス昇圧器175の出力が $2v_{cc}$ 以上になるので、行選択制御手段内の図7、7に示すブートストラップノードに接続

されたインターレス回路を構成する62から65のスイッチは図10のエンハンスメント型トランジスタで構成する。また、図9に示すPMOS77も図12のPMOSでゲート酸化膜を垂直電荷転送手段2と同じ厚いゲート酸化膜90としたものを用いる。さらに、基板電圧発生器178内の昇圧器、負電源電圧発生器180、バックバイアス電圧発生器179を構成する容量もブートストラップ容量66等と同じ厚い酸化膜を持つ図10のデプレッション型nMOSと同様の構造とする。なお、 v_{cc} が v_1 より低くなる時には、電荷転送制御部駆動パルス発生器145、146内にも厚い酸化膜を持つトランジスタで構成する。

【0134】なお、増幅手段140内の図1に示すクランプスイッチ15、信号書き込スイッチ16-1、16-2をCMOSSwitchとし、論理回路164から v_{cc} の高レベル電圧値を持つコンプリメンタリなパルスを増幅手段140に出力する様にして、パルス電圧変換器173の内 ϕ_{CP} 、 ϕ_{SH1} 、 ϕ_{SH2} を出力する回路をなくしてもよい。更に、図1に示す信号読みだしスイッチ18-1、18-2をCMOSSwitchとし、パルス電圧変換器の代りに水平走査回路と増幅手段の間に反転回路を設け v_{cc} の高レベル電圧値を持つコンプリメンタリなパルスで読みだしスイッチ18-1、18-2を駆動してもよい。さらに、特開昭62-154981号記載の様なA/D変換器を設けてデジタル値を走査する様にしてもよい。

【0135】本実施例によれば、端子CLKに印加される単一の基本クロックと端子STH、STVに印加されるトリガパルスから19、6、161から170からなるタイミング発生器が3、4からなる駆動手段と、19、173、174、181からなる水平走査手段、6、7、175、176からなる行選択手段、145、146から電荷転送制御部駆動パルス発生器に入力される複数個の正の単一電源駆動信号を発生させるので、多数のタイミング信号を必要とせず、ピン数が少なくなり、容易に実装できる使いやすい固体撮像素子を実現できる。なお、この効果を得るためには、タイミング発生器は周知の分周器で構成されるものでもよい。

【0136】更に、垂直並びに水平走査を正の単一電源駆動信号により動作するシフトレジスタを有する行選択制御手段6並びにシフトレジスタからなる水平走査回路19に水平遅延用シフトレジスタ162、垂直遅延用シフトレジスタ166を付加したリングカウンタを基本に161、163から165、168から170を設ける事でタイミング発生器を構成しているので、タイミング発生器が簡単にかつ小規模な付加回路で実現できる。

【0137】さらに、端子VDDに印加される電源電圧値 v_{dd} は増幅器の電源電圧値と等しく、また、19、6、161から170からなるタイミング発生器は正電源を降圧する電源電圧降下器172から供給される高圧電源 v_{cc} により動作し、3、4からなる駆動手段と、19、173、174、181からなる水平走査手段、6、7、175、176からな

る行選択手段、145、146から電荷転送制御部駆動パルス発生器に vcc の電圧を持つ複数の正の単一電源駆動信号を供給するので、大電流の流れる増幅器11の電源電圧を素子内部で作り出す必要がなく、かつ、19、6、161から170からなるタイミング発生器の消費電力低減と集積度向上を実現できる。

【0138】

【発明の効果】本発明によれば、駆動パルスの立ち上がりによる速度制限は解消され素子の全ての部分の高速駆動が可能となり、超高精細撮像素子の様な高速駆動素子を実現できる。

【0139】本発明によれば、はきだしゲートとはきだしドレインが不要となるので、高集積化が可能となり、かつ、信号電荷と不要電荷が電荷転送経路で分かれる事がなくなり転送効率不良が起こる事はない。さらに、不要電荷のはきだしをリセットスイッチから行なっても、増幅器雑音低減効果を損なう事なく、充分な掃きだしによるスミア抑圧効果を得る事ができる。また、リセット雑音や増幅器の直流電圧のばらつきによる固定パターン雑音の除去を行なう際に、増幅器の通過帯域の低減効果を向上できる。また、増幅器の入力端子電圧を低くでき、増幅器の電源電圧を下げ増幅手段の低消費電力化低電圧化ができる。さらに、垂直電荷転送手段内の電荷転送制御部を駆動するためのドライバチップが不要になる。

【0140】更に、本発明によれば、駆動手段内のシフトレジスタ内の比較的容量の大きなパルス線を駆動する高速の2相シフトパルスを発生するドライバは必要なくなり、撮像装置の低消費電力化が図れる。

【0141】また、行選択手段内の大きな電圧が印加されるのは転送パルス発生手段内の転送パルス線並びに転送パルス印加線に接続された部分だけにできるので、行選択手段の高集積化ができる。さらに、転送パルスを発生するための外部ドライバが不要になる。また、2行同時独立読みだしを行なう際、チャージポンプ容量の個数を $1/2$ とし行選択手段を構成する転送パルス発生器の面積を低減できる。一方、正の電源の電圧 vcc の3倍以上の電圧を持つ転送パルスを、正の電源の電圧値 vcc 以下の制御信号をトリガーとして選択行に出力する事が可能である。さらに、前置転送パルス転送パルスを発生するための外部ドライバが不要になる。また、2行同時独立読みだしを行なう際、チャージポンプ容量の個数を $1/2$ とし転送パルス発生器の面積を低減できる。

【0142】一方、本発明によれば、駆動パルス線と転送パルス線を共通にしても、貫通電流が流れる事なく、転送パルスの印加時間を駆動パルスのシフト周期の n 倍の任意の時間に設定できるので、消費電力の増加や残像の発生もなく、画素部の高集積化ができる。さらに、低レベルを負値に持つ行選択手段の駆動パルスは前置転送

パルスだけにでき、行選択手段127の駆動電圧振幅の高い部分を低減することにより行選択手段の高集積化が図れる。また、駆動手段の出力部に高い電圧がかかることなく高い信頼性を持つ駆動手段を実現する事ができる。

【0143】また、本発明によれば、2つのトランジスタを付加するだけで、 $nMOS$ からなる2相のダイナミックシフトレジスタシフトを用いシフト周期の $1/2$ の N 倍 (N は2以上の整数) のパルス幅を持つパルスを発生できる。

【0144】さらに、本発明によれば、フローティング端子がなく、かつ、その端子をリセットするための負値パルスを必要とせず、電圧変換後のパルス振幅も大きくして、パルスの低レベルを負値に変換する事ができる。さらに、電圧変換時の貫通電流をパルスが低レベルになる時の速度を遅くすることなく低減できる。また、本発明によれば、正電圧値を持つ第1の入力パルスと第2の入力パルスの論理積をとりかつ出力パルスの低レベルを負値とする事ができる。

【0145】また、本発明によればプロセス工程を増加させる事なく駆動回路内の高電圧印加部でゲート酸化膜の破壊もしくは信頼度低下が起こることがないようにし、かつ、電圧の低い部分は高集積化を図り、高信頼度かつ高集積の駆動回路を備えた電荷転送装置を実現できる。さらに、駆動回路内の高電圧印加部分でもホットキャリアによる特性劣化や基板効果によるしきい電圧上昇が起こりにくし、かつ、電圧の低い部分は高集積化を図り、高信頼度かつ高集積な電荷転送装置を実現できる。さらにまた、プロセス工程を増加することなく容量の電圧依存性が小さくし、リセット雑音や増幅器の直流電圧のばらつきによる固定パターン雑音の除去精度を向上させ、信号電荷の非線形性を小さくできる。

【0146】本発明によれば、素子内部に設けられる電圧変換器には小さな電流駆動能力をしか必要とせず占有面積を小さくできるので、容易にドライバチップをなくし複数の正の単一電源駆動信号で駆動できる素子を実現できる。さらに、素子外部の基板電圧を発生するDC-DC変換器を不要とできる。さらにまた、負電圧発生器150が、素子外部の駆動パルスの低レベルと等しい電圧値を発生するDC-DC変換器を不要にできる。以上の3つを同時に実施する事により、ドライバチップもDC-DC変換器も必要とせず、正の単一電源駆動信号と正電源だけ駆動できる。さらに、多数のタイミング信号を外部から入力する必要がなく、ピン数が少なくなり、容易に実装できる使いやすい固体撮像素子を実現できる。また、大電流の流れる増幅器11の電源電圧を素子内部で作り出す必要がなく、かつ、タイミング発生器の消費電力低減と集積度向上を実現できる。

【図面の簡単な説明】

【図1】本発明の一実施例の全体構成図である。

【図2】本発明の一実施例の駆動パルスタイミング図で

ある。

【図3】図1のタイミング発生手段3と駆動パルス発生手段4からなる駆動手段の第1の実施例の回路構成図とその駆動パルスタイミング図である。

【図4】図1のタイミング発生手段3と駆動パルス発生手段4からなる駆動手段の第2の実施例の回路構成図とその駆動パルスタイミング図である。

【図5】図1のタイミング発生手段3と駆動パルス発生手段4からなる駆動手段の第3の実施例の回路構成図である。

【図6】図1のタイミング発生手段3と駆動パルス発生手段4からなる駆動手段の第4の実施例の回路構成図である。

【図7】図1の行選択制御手段6と転送パルス発生手段7からなる行選択手段の第1の実施例の回路構成図とその駆動パルスタイミング図である。

【図8】図1の行選択制御手段6と転送パルス発生手段7からなる行選択手段の第2の実施例の回路構成図とその駆動パルスタイミング図である。

【図9】図1の厚い酸化膜厚を持ち濃度の低い第1の不純物層内に形成された垂直電荷転送手段2のA-A'の断面構造図である。

【図10】図1の転送パルス発生手段7ならびに駆動パルス発生手段4の一部に用いられる厚い酸化膜厚を持ち、他の部分より表面濃度の低い第3の不純物層内に形成されたMOSトランジスタの断面構造図である。

【図11】図1の転送パルス発生手段7ならびに駆動パルス発生手段4の他の一部に用いられる厚い酸化膜厚を持ち、他の部分より表面濃度の低い第3の不純物層内に形成されたMOSトランジスタの第2の実施例の断面構造図である。

【図12】図1の走査回路9と増幅手段の11から18、転送パルス発生手段7ならびに駆動パルス発生手段4の残りの部分、行選択制御手段6とタイミング発生手段3に用いられる薄い酸化膜厚と高濃度の第2の不純物層を持つMOSトランジスタの断面構造図である。

【図13】図1の第1出力保持容量14のB-B'-B''の断面構造図である。

【図14】従来の駆動回路を内蔵したCCD型固体撮像素子の全体構成図である。

【図15】第2の実施例の全体回路構成を示す図である。

【図16】図15の置転送パルス昇圧器141の回路構成図とその駆動パルスタイミング図である。

【図17】第3の実施例の全体回路構成を示す図である。

【符号の説明】

1…2次元状に配置した光電変換素子、2…垂直電荷転送手段、f…垂直電荷転送手段の繰り返し部最終電極、2-1…垂直電荷転送手段の繰り返し部電極、2-2…増幅手段2

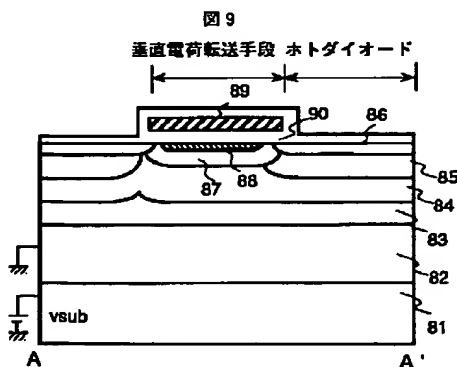
の電荷転送制御部を構成するゲート、2-3…垂直電荷転送手段2の電荷転送制御部を構成する電荷蓄積ゲート、2-4…垂直電荷転送手段2の電荷転送制御部を構成する出力ゲート、3…駆動手段を構成する単一の正電源で動作するシフトレジスタを有するタイミング発生手段、4…駆動手段を構成する負値の電圧を低レベルに持つ駆動パルスを駆動パルス線5に供給する駆動パルス発生手段、5…転送パルス線と共通の駆動パルス線、6…行選択手段を構成するの単一電源で動作する行選択制御手段、7…行選択手段を構成する正の電源の電圧値より高い第2の電圧値を高レベルに持つ転送パルス出力する転送パルス発生手段、8、9、10…電荷転送制御部駆動線、11…増幅手段を構成する増幅器、12…増幅手段を構成する不要電荷はきだし機能を有するリセットスイッチ、13…増幅手段を構成する帰還容量、14…増幅手段を構成する第1出力保持容量、15…増幅手段を構成する差分処理を行なうクランプスイッチ、16-1、16-2…増幅手段を構成する第1、第2の第2出力保持容量への信号書き込スイッチ、17-1…増幅手段を構成する第1の第2出力保持容量、17-2…増幅手段を構成する第2の第2出力保持容量、18-1、18-2…増幅手段を構成する第1、第2の第2出力保持容量からの信号読みだしスイッチ、19…水平走査回路、20…走査開始パルス電圧変換器、21…タイミング発生手段を構成するシフトレジスタ、22-1、22-2…タイミング信号の低レベルを負値にシフトする前置パルス発生器を構成する第1と第2の結合容量、23-1、23-2…前置駆動パルス電圧変換器を構成するバイアス設定スイッチ、24…駆動手段を構成する第1のスイッチ、25…駆動パルスの高レベルを供給する電源線、26…駆動手段を構成する第2のスイッチ、27…駆動パルスの低レベル電圧を供給する負電源線、28…駆動手段を構成する高耐圧化MOSトランジスタ、29…正電源線、30、31…パルス幅伸長器を構成するスイッチ、32…パルス幅伸長器を構成するバイアス設定用スイッチ、33…接地線、41…前置駆動パルス電圧変換器を構成するバッファnMOSトランジスタ、42…前置駆動パルス電圧変換器を構成するPMOSトランジスタ、43…前置駆動パルス電圧変換器を構成する負のしきい電圧値を持つnMOSトランジスタ、51…前置駆動パルス電圧変換器を構成するnMOSトランジスタ、60…前置転送パルス負値電圧変換器、61…行選択制御手段を構成するシフトレジスタ、62、63、64、65…行選択制御手段を構成するインターレス回路のスイッチ、66…前置転送パルス電圧変換器を構成する前置転送パルススイッチMOSのブートストラップ容量、67…前置転送パルス電圧変換器を構成する前置転送パルススイッチMOS、68…前置転送パルス電圧変換器を構成するブートストラップ用MOS、69…転送パルス発生手段を構成する転送パルススイッチMOS、70…転送パルス発生手段を構成する転送パルススイッチMOSのブートストラップ容量、71…転送パルス発生手段を構成する転送パルスス

イッチMOS高耐圧化MOS、72…高耐圧化MOS71のブートストラップ用容量、73…高耐圧化MOS71のブートストラップ用MOS、74…前置転送パルス印加線、75…前置転送パルス電圧変換器を構成するパルス入力用nMOSトランジスタ、77…前置駆動パルス電圧変換器を構成するPMOSTランジスタ、78…前置駆動パルス電圧変換器を構成する負のしきい電圧値を持つnMOSTランジスタ、81…n型基板、82…非常に濃度の低い第1のPウェル、83…第1のホトダイオードnウェル、84…第2のホトダイオードnウェル、85…ホトダイオード1を構成するn層、86…ホトダイオード表面p層、87…2重ウェルp層、88…垂直電荷電荷転送手段2のn型チャネル層、89…ゲート電極、90…厚いゲート酸化膜、91…表面濃度が第1のPウェルより高く第2のpウェルより低くかつ第1のpウェルより浅い第3のpウェル、111…高濃度の第2のPウェル、112…nMOSTランジスタフィールドp層、113…nMOSTランジスタソースドレインn型拡散層、114…nウェル、115…pMOSTランジスタフィールドn層、116…pMOSTランジスタソースドレインp型拡散層、117…ロコス酸化膜、118…薄いゲート酸化膜、121…容量形成用電極、122…薄いゲート酸化膜118より単位面積当たりの大きい絶縁膜、123…配線、125…ホトダイオード、126…転送ゲート、127…行選択手段、128…転送パルス線、129…垂直電荷転送手段、130…駆動手段、131…駆動パルス線、132…はきだしゲート、133…はきだしドレイン、134-1~134-3…第1から第3の水平電荷転送素子、135-1~135-3…第1から第3の水平電荷転送素子134-1~134-3の出力回路、136-1~136-3…ゲート、140、181…増幅手段、141、175…前置転送パルス昇圧器、142、176…転送パルス昇圧器、143-1、143-2…水平走査回路19の端子H1、H2に接続された2相シフトパルス線、144…直流クランプ電圧印加線、145、146…電荷制御部を構成するゲート2-2、電荷蓄積ゲート2-3に駆動パルスを発生する電荷転送制御部駆動パルス発生器、147…電荷制御部を構成する出力ゲート2-4に電荷蓄積接地電圧と転送パルスの低レベル負値電圧v1の中間の直流電圧を印加する出力ゲート直流バイアス発生器、148、178…正電源から昇圧により第2の正電源電圧vsubを発生する基板電圧発生器、149、179…微細なnMOSTランジスタのウェルに印加されるバックバイアス電圧vbbを発生するバックバイアス電圧発生器、150、180…駆動パルスの低レベルと等しい電圧値v1を持つ負電源電圧発生器、B1…端子V3LT、V4LTに印加される正の単一電源駆動信号を入力としその論理和を出力するオア回路、B2…端子H1に印加されるシフトパルスと端子V3LTもしくはV4LTに印加される正の単一電源駆動信号との論理積を出力するアンド回路、B3…アンド回路の出力パルスの電圧振幅を負電源電圧値v1と正電源電圧値vccを足した電圧振幅とするための電圧変換器、B4…昇圧器、B5…端子Y

4の昇圧器出力を端子V4LTもしくはV3LTに印加された正の単一電源駆動信号に基づき前置転送パルス印加線74-1もしくは74-2に出力するための選択スイッチ、mn1、mn2、mn3…オア回路B1を構成するnMOS、mp1、mp2、mp3…オア回路B1を構成するpMOS、mn4、mn5、mn6、mn7…アンド回路B2を構成するnMOS、mp4、mp5、mp6、mp7…アンド回路B2を構成するpMOS、151-1、151-2…オア回路B1の出力により昇圧器内の端子Y6、Y4を初期設定する初期電圧設定nMOS、152…チャージポンプnMOS、153…チャージポンプ容量、154…電圧リミッタ、155…ゲート接地されたPMOS、156…アンド回路の反転出力値端子Y5がゲートに接続されたnMOS、157-1、157-2…スイッチ用nMOS、158-1、158-2…駆動信号入力スイッチ、159-1、159-2…ブートストラップ用容量、160-1、160-2…オア回路の反転値出力端子Y7にゲートが接続されたリセットスイッチ、161…フリップフロップ、162…水平ブランキング期間に相当する段数を持つ水平遅延用シフトレジスタ、163…オア回路、164…複数個のRSフリップフロップを含む論理回路、165…アンド回路、166…垂直ブランキング期間に相当する段数を持つ垂直遅延用シフトレジスタ、167…オア回路、168…RSフリップフロップ、169…1/2分周器、170…カウンタCVとカウンタCTとを持つφV3LT、φV3、φV4LT、φV4を発生する論理回路、171…タイミング発生手段3内のシフトレジスタをリセットするリセットパルスを伝達するための配線、172…電源電圧降下器…173、174…水平走査手段を構成する内部電源vccと同じ高レベルを持つパルスの高レベルを外部電源電圧vddとするパルス電圧変換器、177…基本クロックの高レベルを外部電源電圧vddとするためのパルス電圧変換器、T1、T2…タイミング発生手段を構成するシフトレジスタ21を駆動するための単一正電源値を持つ2相シフトパルス入力端子、TIN…タイミング発生手段を構成するシフトレジスタ21を駆動するための単一正電源値駆動信号である走査開始パルス入力端子、VL…負電源電圧入力端子、VM…駆動パルスの高レベル電圧入力端子、Vcc…単一の正電源電圧入力端子、GND…接地端子、V1、V2…行選択制御手段を構成するシフトレジスタ61を駆動するための単一正電源値を持つ2相シフトパルス入力端子、VIN…行選択制御手段を構成するシフトレジスタ61を駆動するための単一正電源値駆動信号である走査開始パルス入力端子、FA、FB…行選択制御手段を構成するインターレス回路を駆動するための単一正電源値駆動信号である2相インターレスパルス入力端子、V3、V4…正の電源の電圧値より高い第2の電圧値を高レベルに持つ転送パルス印加端子、V3L、V4L…正の電源電圧値より高く第2の電圧値より低い第3の電圧値を高レベルに有する前置転送パルス印加端子、SB…ゲート8の駆動

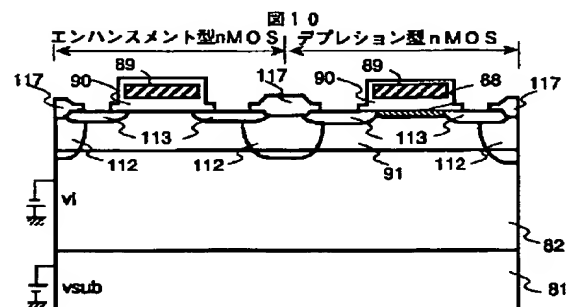
パルス印加端子、 ST …電荷蓄積ゲート9の駆動パルス印加端子、 OG …出力ゲート10への直流電圧印加端子、 RG …リセットスイッチ12の正の単一電源値を持つリセットパルス入力端子、 VC …直流クランプ電圧入力端子、 CP …クランプスイッチ15の正の単一電源値を持つクランプパルス印加端子、 $SH1$ 、 $SH2$ …読み込みスイッチ16-1、16-2の正の単一電源値を持つサンプルホールドパルス印加端子、 $O1$ 、 $O2$ …信号出力端子、 $H1$ 、 $H2$ 、 HIN …正の単一電源値を持つ水平走査回路19の2相シフトパルスと走査開始パルス入力端子、イ…転送パルススイッチMOS69のゲート端子、ロ…転送パルススイッチMOS高耐圧化MOS71のゲート端子、 $V3T$ 、 $V4T$ …正の電源の電圧値より高い第2の電圧値 v_h を高レベルに持つ転送パルスを発生させるための正の単一電源駆動信号印加端子、 $V3LT$ 、 $V4LT$ …高レベルが正の電源電圧値 v_{cc} より高く第2の電圧値より低い電圧値 v_{hm} の前置転送パルスを発生させるための正の単一電源駆動信号印加端子、 SBT …ゲート2-2の駆動パルスを発生させるための正の単一電源駆動信号印加端子、 STT …電荷蓄積ゲート9の駆動パルスを発生させるための正の単一電源駆動信号印加端子、 $Y1$ 、 $Y7$ …オア回路Bの出力とその反転出力端子、 $Y2$ 、 $Y5$ …アンド回路B2の出力とその反転出力端子、 $Y3$ …昇圧パルス電圧変換器B3の出力端子、 $Y4$ …昇圧器B4の出力端子、 $Y6$ …昇圧器内端子、 $P1$ …スイッチ157-1もしくは157-2のゲート端子、 CLK …高レベルが v_{cc} の基本クロック入力端子、 VDD …外部正電源入力端子、 STH 、 STV …電源投入時に一度だけ入力される高レベルが v_{cc} のトリガパルス入力端子、 VBK 、 HBK …映像信号形成のための高レベルが v_{cc} の垂直ブランキングパルス並びに水平ブランキングパルス

【図9】



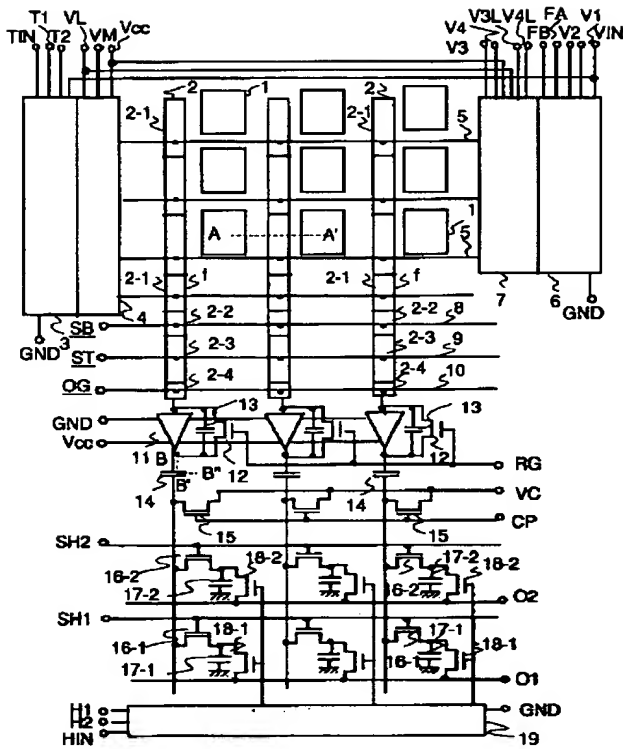
の出力端子、 HBL …水平帰線期間、 v_l …負の駆動パルスの低レベル電圧値、 v_m …駆動パルスの高レベル電圧値、 v_{cc} …単一の正電源電圧値、 v_h …正の電源電圧値より高い第2の電圧値、 v_{hm} …正の電源電圧値より高く第2の電圧値より低い第3の電圧値、 s …第1の信号電荷もしくは第2の信号電荷を転送する電位井戸をつくるために端子T1に入力される走査開始パルスの時間間隔、 $n1$ 、 $n2$ …第1の不要電荷、第2の不要電荷を転送する電位井戸をつくるために端子T1に入力される走査開始パルスの時間間隔、 T …2相シフトパルスの印加時間、 $Ts1$ …第1出力保持容量への第1出力書き込み時間、 $Ts2$ …第2の第1出力保持容量への差分値書き込み時間、 Tn …不要電荷の掃きだし時間、 ϕn 、 $\phi n+1$ 、 $\phi n+2$ 、 $\phi n+3$ …シフトレジスタ21の n 行、 $n+1$ 行、 $n+2$ 行、 $n+3$ 行出力、 f_c …シフトレジスタ21の2相パルスの周波数、 t_f …駆動パルス線電圧の立ち下がり時間、 t_r …駆動パルス線電圧の立ち下がり時間、 0 …接地電圧値、 v_h' …ゲート端子イの最大電圧値、 v_h'' …ゲート端子ロの最大電圧値、 v_{thd} …図10もしくは図11のデプレッション型 $nMOS$ のしきい電圧、 v_{the} …図10もしくは図11のエンハンスメント型 $nMOS$ のしきい電圧、 v_{sub} …基板電圧、 v_{bb} …バックバイス電圧、 v_{th} …図12の $nMOS$ のしきい電圧、 $\phi V3LT$ …端子 $V3LT$ に印加されるパルス電圧、 v_{hpl} …ゲート端子 $P1$ の $Y4$ 端子が初期設定された時の値、 v_{hp2} …ゲート端子 $P2$ の最大電圧値、 $\phi V3T$ 、 $\phi V4T$ 、 $\phi V3LT$ 、 $\phi V4LT$ 、 ϕSBT 、 ϕSTT …端子 $V3T$ 、 $V4T$ 、 $V3LT$ 、 $V4LT$ 、 SBT 、 STT に印加されるパルス電圧、 ϕRGH 、 ϕCPH 、 $\phi SH1H$ 、 $\phi SH2H$ …高レベル電圧が外部電源電圧 v_{dd} となったパルス。

【図10】



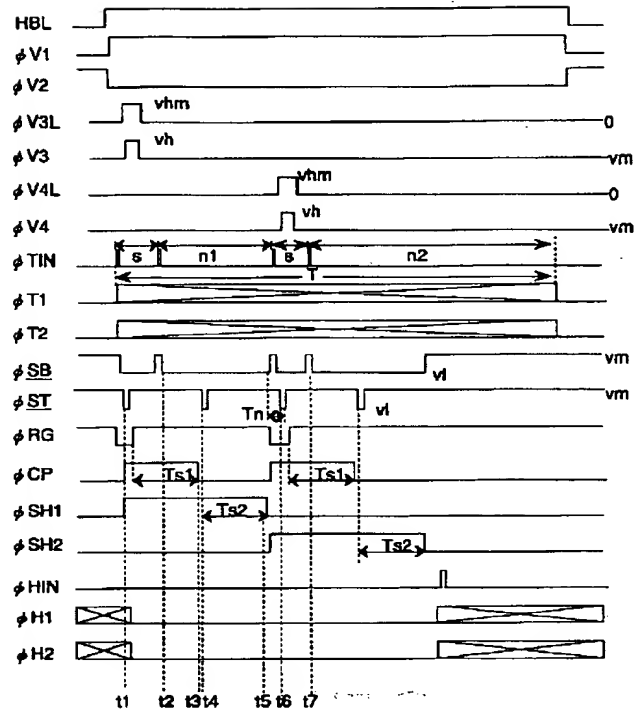
【図1】

図1



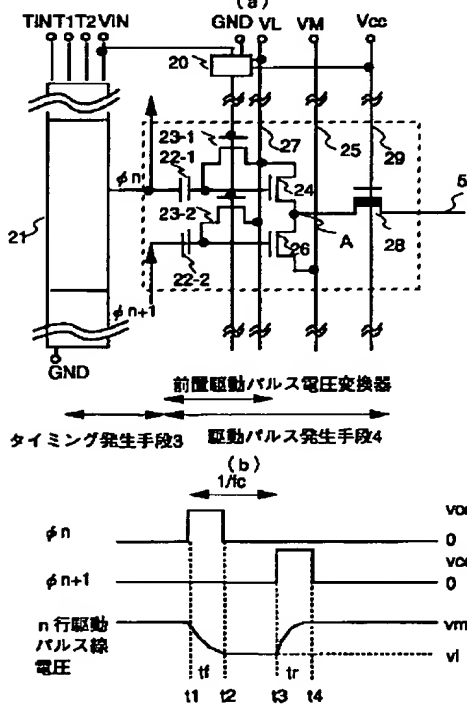
【図2】

図2



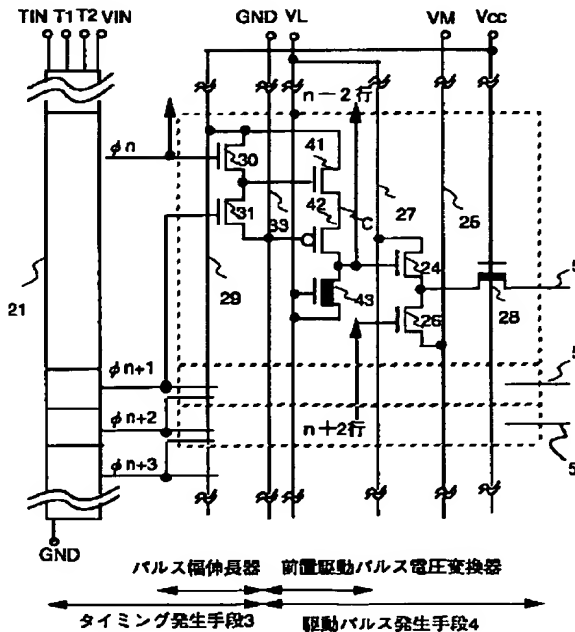
【図3】

図3

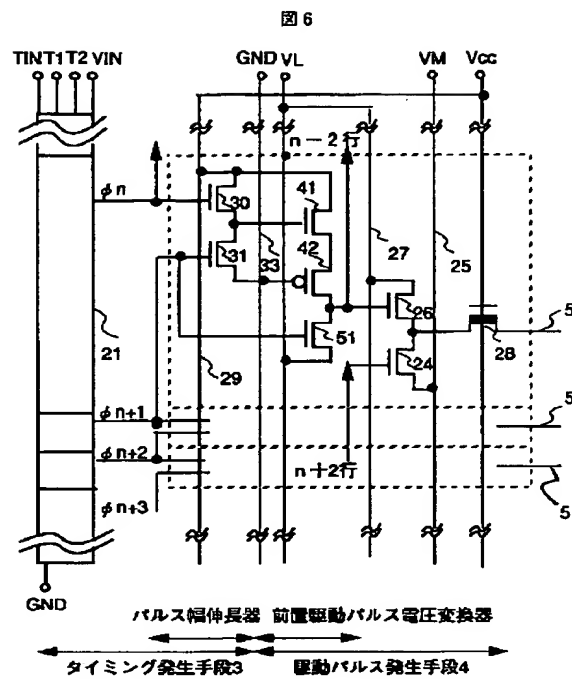


【図5】

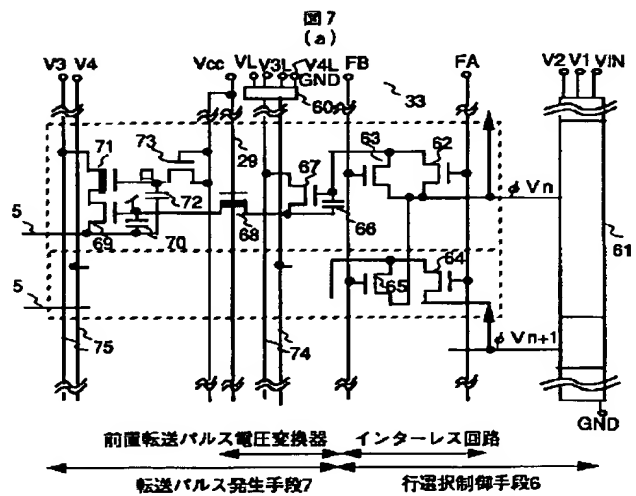
図5



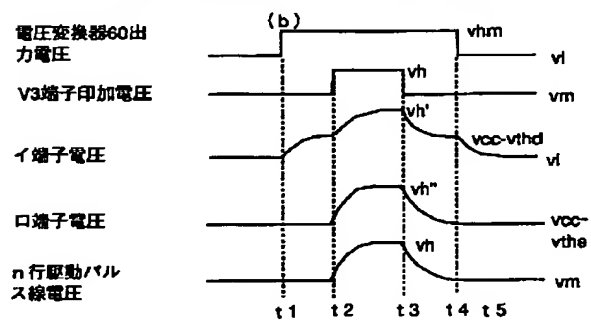
【図 6】



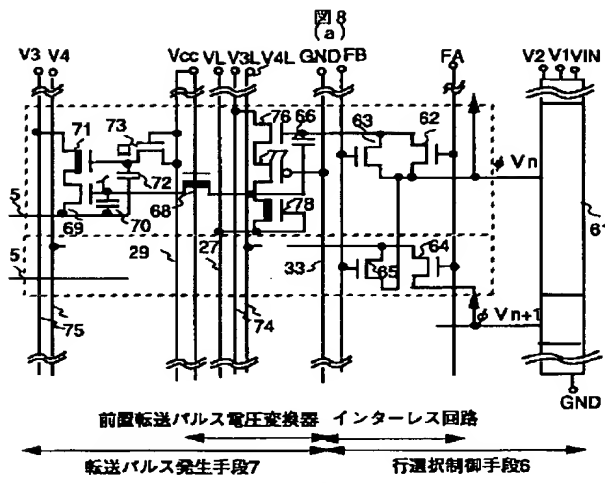
【図 7】



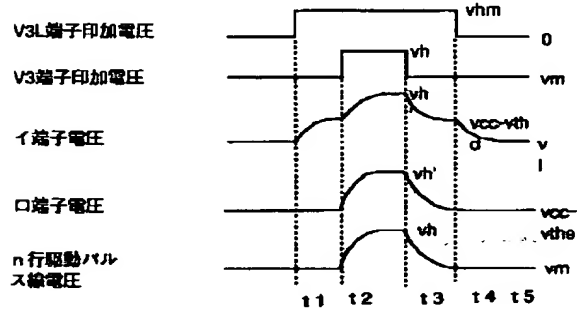
【图 1 1】



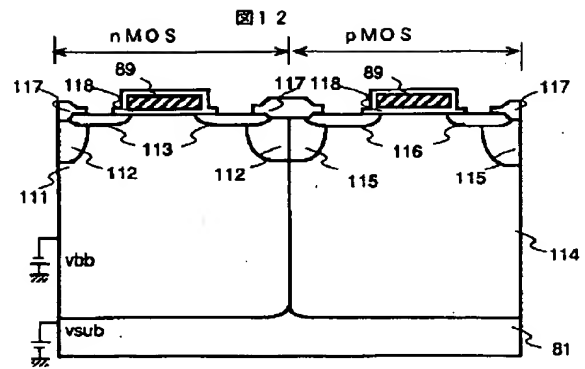
【図8】



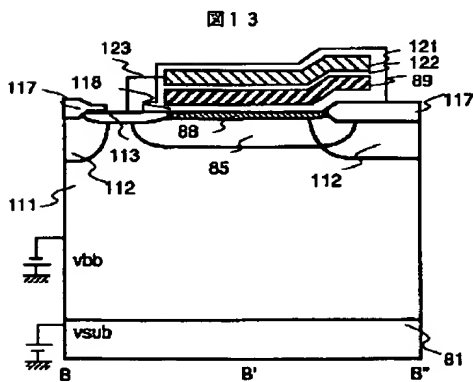
(b)



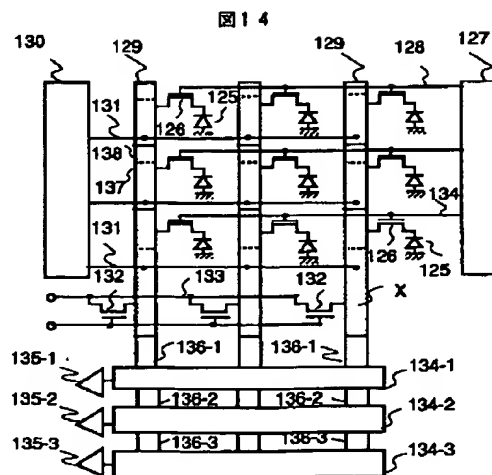
【図12】



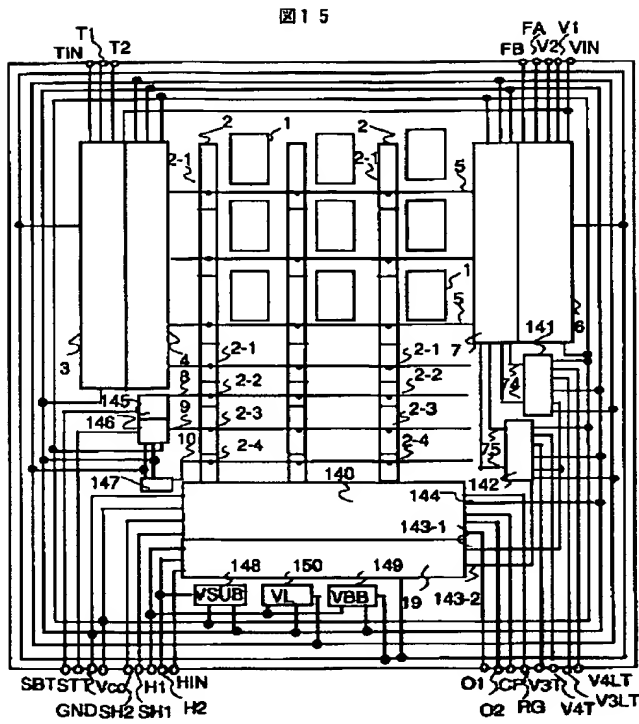
【図13】



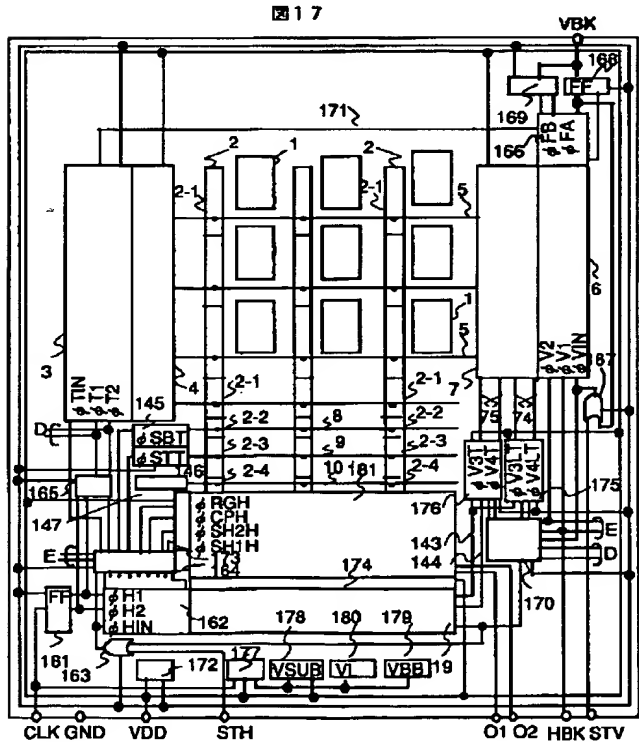
【図14】



【図15】



【図17】



【図16】

